

10/031118

13 Rec'd PCT/PTO 16 JAN 2002

NATIONAL STAGE APPLICATION

UNDER 35 U.S.C. § 371

CHAPTER I OF PCT

(19) 世界知的所有權機關
國際事務局



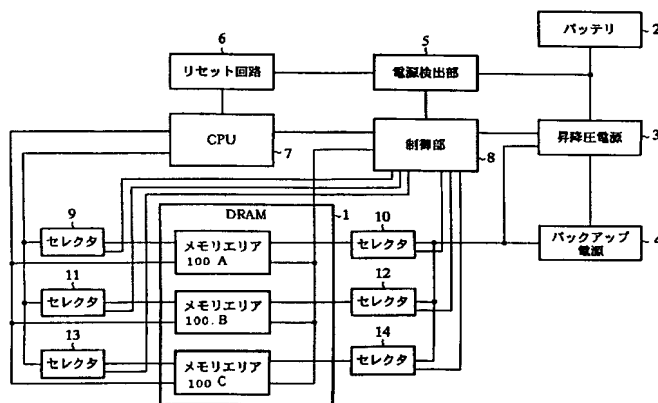
(43) 國際公開日
2001 年 12 月 13 日 (13.12.2001)

PCT

(10) 国際公開番号
WO 01/95335 A1

- | | | |
|---|---------------------------|--|
| (51) 国際特許分類 ⁷⁾ : | G11C 11/401 | 内 Hyogo (JP). 船場裕次 (FUNABA, Yuji) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号 Tokyo (JP). |
| (21) 国際出願番号: | PCT/JP00/03732 | |
| (22) 国際出願日: | 2000 年6 月8 日 (08.06.2000) | (74) 代理人: 田澤博昭, 外(TAZAWA, Hiroaki et al.); 〒100-0013 東京都千代田区霞が関三丁目7番1号 大東ビル7階 Tokyo (JP). |
| (25) 国際出願の言語: | 日本語 | |
| (26) 国際公開の言語: | 日本語 | (81) 指定国 (国内): JP, US. |
| (71) 出願人 (米国を除く全ての指定国について): 三菱電機株式会社 (MITSUBISHI DENKI KABUSHIKI KAISHA) [JP/JP]; 〒100-8310 東京都千代田区丸の内二丁目2番3号 Tokyo (JP). | | (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE). |
| (72) 発明者; および | | 添付公開書類: |
| (75) 発明者/出願人 (米国についてのみ): 横山主税 (YOKOYAMA, Chikara) [JP/JP]; 〒666-0024 兵庫県川西市久代3丁目13番21号 株式会社 ケーディーエル | | — 国際調査報告書 |
| | | 2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。 |

- (54) 発明の名称: データバックアップ装置及び昇降圧電源



2...BATTERY	9...SELECTOR
3...STEP-UP/STEP-DOWN POWER SUPPLY	10...SELECTOR
4...BACKUP POWER SUPPLY	11...SELECTOR
5...POWER DETECTOR	12...SELECTOR
6...RESET CIRCUIT	13...SELECTOR
8...CONTROLLER	14...SELECTOR
	100...MEMORY AREA

(57) Abstract: When a power detector (5) detects a command for turning a battery (2) off, a DRAM (1) is switched to self-refresh mode and supplied with power from a backup power supply (4). A step-up/step-down power supply (2) includes a step-up DC/DC converter for increasing input voltage and produces output, and a step-down DC/DC converter connected in series with the step-up converter to decrease input voltage.

〔続葉有〕

WO 01/95335 A1



(57) 要約:

電源検出部 5 がバッテリー 2 のオフ指令を検出すると、DRAM 1 をセルフリフレッシュモードに変更して、バックアップ電源 4 から DRAM 1 に電力を供給させる。

昇降圧電源 2 は、入力電圧を昇圧して出力するステップアップ DC / DC コンバータと、ステップアップコンバータと直列に接続され、入力電圧を降圧するステップダウン DC / DC コンバータとを備える。

明 細 書

データバックアップ装置及び昇降圧電源

技術分野

この発明は、メモリに供給する電力を制御して、データをバックアップするデータバックアップ装置、及びカーナビゲーション装置などの車載用機器に電力を供給する昇降圧電源に関するものである。

背景技術

従来のデータバックアップ装置は、S R A Mや書換可能型のR O Mを搭載し、カーナビゲーション装置などの車載用機器のデータをS R A M等に保存するようにしていた。

しかし、S R A Mを使用する場合、面積当たりの情報量が少ないため大量のデータを保存することが困難である。

また、書換可能型のR O Mを使用する場合、情報の書き換えに長時間を要するとともに、素子の特性上、書換可能数が制限されるため、一般的に、書き換えの必要のないプログラムコード等の保存に限定され、ワーク情報の保存は行われていない。

そのため、必要最小限の情報のみをS R A Mに保存し、車載用機器の起動時に、外部記憶装置等からデータを読み出して、メインメモリにデータを再構築する必要があった。

従来のデータバックアップ装置は以上のように構成されているので、車載用機器の起動時に、外部記憶装置から周辺地図情報等の大量のデータを読み込む必要がある。そのため、車載用機器が実際に動作を開始するまでに長時間を要する課題があった。

なお、大容量のSRAMを車載用機器に搭載すれば、車載用機器の起動時に、外部記憶装置から大量のデータを読み込む必要はないが、SRAMは面積当たりの情報量が少なく、高価であるため、大容量のSRAMを車載用機器に搭載することは現実的でない。

この発明は上記のような課題を解決するためになされたもので、大量のデータを車載用機器の内部に保存することができるデータバックアップ装置を得ることを目的とする。

また、この発明は、車載バッテリーなどの主電源から入力する電圧が変動しても、既定の電圧を車載用機器に出力して、車載用機器を安定的に動作させることができる昇降圧電源を得ることを目的とする。

発明の開示

この発明に係るデータバックアップ装置は、検出手段が主電源のオフ指令を検出すると、ダイナミックRAMをセルフリフレッシュモードに変更して、バックアップ電源からダイナミックRAMに電力を供給させる制御手段を設けたものである。

このことによって、大量のデータを車載用機器の内部に保存することができる効果がある。

この発明に係るデータバックアップ装置は、主電源のオフ指令が検出されてから、セルフリフレッシュモードの変更が完了するまでの間、主電源からダイナミックRAMに電力を供給させるようにしたものである。

このことによって、車載用機器のデータを確実に保存することができる効果がある。

この発明に係るデータバックアップ装置は、ダイナミックRAMを構成する複数のメモリ領域のうち、バックアップ電源による電力供給対象のメモリ領域を設定し、そのメモリ領域にのみ電力を供給させるように

したものである。

このことによって、バックアップ時の消費電力を低減することができる効果がある。

この発明に係るデータバックアップ装置は、バックアップ電源による電力供給対象のメモリ領域を示す情報を開示するようにしたものである。

このことによって、前回終了が正常に行われたことの確認と、停止中に正常なバックアップが行われたことの確認を行うことができるとともに、バックアップ中のバックアップ電源の低下等による不慮のメモリロスト等の確認を行うことができる効果がある。

この発明に係るデータバックアップ装置は、主電源の出力電圧が低下すると、一部の機器に対する主電源からの電力供給を停止させるようにしたものである。

このことによって、主電源の出力電圧の低下を抑制することができる効果がある。

この発明に係るデータバックアップ装置は、ダイナミックRAMとしてSDRAMを使用する場合、制御手段の初期設定が完了するまでの間、制御部とSDRAMを切り離すようにしたものである。

このことによって、SDRAMに保存されているデータの破壊等を防止することができる効果がある。

この発明に係る昇降圧電源は、主電源から入力する電圧が基準電圧より低下すると、その入力電圧を昇圧して既定電圧を出力するステップアップDC/DCコンバータを設けたものである。

このことによって、クランキング動作等によって、主電源の出力電圧が低下しても、既定電圧を車載用機器に出力できるため、車載用機器を安定的に動作させることができる効果がある。

この発明に係る昇降圧電源は、既定電圧を出力する出力段から電圧信

号を取り込んでステップアップDC/DCコンバータのスイッチング素子を駆動するようにしたものである。

このことによって、主電源の出力電圧がスイッチング素子の動作電圧より低下しても、ステップアップDC/DCコンバータの動作を継続することができる効果がある。

図面の簡単な説明

第1図はこの発明の実施の形態1によるデータバックアップ装置を示す構成図である。

第2図はこの発明の実施の形態2による昇降圧電源を示す構成図である。

第3図は電源検出シーケンスを示す説明図である。

発明を実施するための最良の形態

以下、この発明をより詳細に説明するために、この発明を実施するための最良の形態について、添付の図面に従って説明する。

実施の形態1.

第1図はこの発明の実施の形態1によるデータバックアップ装置を示す構成図であり、図において、1はカーナビゲーション装置などの車載用機器のデータを記憶するDRAM（ダイナミックRAM）であり、DRAMは複数のメモリエリアA～Cから構成されている。

2は車両に搭載されているバッテリー（主電源）、3はバッテリー2の出力電圧を入力し、その出力電圧が変動しても、既定電圧を出力する昇降圧電源、4はバックアップ電源である。

5はバッテリー2のオン指令やオフ指令等を検出する電源検出部（検出手段）、6は電源検出部5がオン指令を検出すると、CPU7を初期化

するリセット回路、7は電源検出部5がオフ指令を検出すると、DRAM1をセルフリフレッシュモードに変更するCPU、8はDRAM1がセルフリフレッシュモードに移行すると、DRAM1の電力供給源を昇降圧電源3からバックアップ電源4に切り換える制御部、9～14はセクタである。なお、CPU7、制御部8及びセクタ9～14から制御手段が構成されている。

次に動作について説明する。

車両キーのスイッチがACC又はONの位置にある場合、バッテリー2から昇降圧電源3に電力が供給され、昇降圧電源3がCPU7やDRAM1に電力を供給する。昇降圧電源3の動作の詳細は後述する。

これにより、CPU7は各種のデータ処理が可能になり（CPU7がナビゲーション装置のCPUである場合には、経路の探索処理や地図の表示処理等が可能なる）、その処理に関連するデータをDRAM1に格納することができる。

次に、車両キーのスイッチがOFFの位置に切り換えられると、電源検出部5が電源のオフ指令を検出し、その旨をCPU7に通知する。

CPU7は、電源検出部5からオフ指令を受けると、DRAM1に格納されているデータの消失を防止するため、DRAM1をセルフリフレッシュモードに変更する。

即ち、DRAM1がデータを保持し続けるには、定期的に同一のデータを書き込む必要があるので、DRAM1が自動的にデータを繰り返し書き込むモード（セルフリフレッシュモード）に変更する。なお、DRAM1がSDRAMの場合、CKE端子が“H”であるとき、外部からの制御を受け付けるのに対し、CKE端子が“L”であるとき、以前のモードを保持するので、CKE端子を“H”から“L”に変更する前に、DRAM1をセルフリフレッシュモードに変更する。

制御部 8 は、D R A M 1 がセルフリフレッシュモードに移行すると、D R A M 1 の電力供給源を昇降圧電源 3 からバックアップ電源 4 に切り換える。

これにより、バッテリー 2 の出力電圧が落ちても、D R A M 1 はバックアップ電源 4 から電力の供給を受けるので、データを保持し続けることができる。

その後、車両キーのスイッチが A C C 又は O N の位置に戻されると、電源検出部 5 が電源のオン指令を検出し、その旨をリセット回路 6 に通知する。

リセット回路 6 は、電源検出部 5 からオン指令を受けると、C P U 7 を初期化し、C P U 7 は、セルフリフレッシュモードを解除する。

制御部 8 は、D R A M 1 に保存されているデータの破壊等を防止するため、C P U 7 の初期化中、C P U 7 と D R A M 1 を切り離し、C P U 7 の初期化が完了すると、C P U 7 と D R A M 1 を接続して、D R A M 1 の電力供給源をバックアップ電源 4 から昇降圧電源 3 に切り換える。

以上で明らかなように、この実施の形態 1 によれば、電源検出部 5 がバッテリー 2 のオフ指令を検出すると、D R A M 1 をセルフリフレッシュモードに変更して、バックアップ電源 4 から D R A M 1 に電力を供給させるように構成したので、安価で大容量化が可能な D R A M 1 に大量のデータを保存することができる。したがって、例えば、車載用機器がナビゲーション装置である場合には、現在地情報だけでなく、周辺地図情報や付加情報もバックアップすることができるため、次の起動時に、ほぼ瞬間的に使用可能状態にすることができる効果を奏する。

実施の形態 2 .

第 2 図はこの発明の実施の形態 2 による昇降圧電源を示す構成図であ

り、図において、21は基準波発生回路、22はバッテリー2から入力する電圧 V_{IN} が基準電圧より低下すると、その入力電圧 V_{IN} を昇圧して既定電圧 V_1 を出力するステップアップDC/DCコンバータ、23はステップアップDC/DCコンバータ22と直列に接続され、バッテリー2から入力する電圧 V_{IN} が基準電圧より上昇すると、その入力電圧 V_{IN} を降圧して既定電圧 V_{OUT} を出力するステップダウンDC/DCコンバータである。

次に動作について説明する。

上記実施の形態1では、車両キーのスイッチがACC又はONの位置にある場合、バッテリー2から昇降圧電源3を介して、CPU7やDRAM1に電力を供給するものについて示したが、下記に示す理由から、昇降圧電源3を介して電力を供給するようにしている。

エンジンを始動する場合、セルモータを起動することにより、クランキングする。しかし、クランキング動作によりバッテリー2の出力電圧が低下するため（第3図の“+B”を参照）、CPU7やDRAM1の動作可能電圧を確保できなくなり、DRAM1に格納されているデータを消失するなど事態を招くおそれがある。

昇降圧電源3は、クランキング動作によりバッテリー2の出力電圧が低下しても、CPU7やDRAM1の動作可能電圧を確保できるようにするために設けている。

昇降圧電源3は、第2図に示すように、バッテリー2から入力する電圧 V_{IN} が基準電圧より低下すると、その入力電圧 V_{IN} を昇圧して既定電圧 V_1 を出力するステップアップDC/DCコンバータ22と、バッテリー2から入力する電圧 V_{IN} が基準電圧より上昇すると、その入力電圧 V_{IN} を降圧して既定電圧 V_{OUT} を出力するステップダウンDC/DCコンバータ23とから構成されている。

ステップアップDC/DCコンバータ22は、ステップダウンDC/DCコンバータ23の動作電圧域ではほとんど動作せず、ステップダウンDC/DCコンバータ23は、ステップアップDC/DCコンバータ22の動作電圧域ではほとんど動作しないように設計されている。このように、各コンバータが個別に動作することにより、変換効率を高めることができる。

また、ステップアップDC/DCコンバータ22の制御回路22aは、第2図に示すように、既定電圧V1を出力する出力段Xから電圧信号を取り込んで、スイッチング素子であるMOS-FET22bを駆動するようにしているので、バッテリー2から入力する電圧 V_{IN} がMOS-FET22bの動作可能電圧より低下しても、MOS-FET22bの適正な動作可能電圧を確保することができる結果、ステップアップ動作を継続することができる。

なお、入力電圧が変動しても、既定電圧を出力する昇降圧電源として、トランスを使用するフライバック型のコンバータは従来から存在するが、フライバック型のコンバータの場合、変換可能な電力がトランスの容量により決定される。車載用機器のような面積の限られた装置においては、トランスのサイズがネックになり、容量の大きな昇降圧電源を構築することが困難であった。第2図の昇降圧電源3は、トランスを使用する代わりに、チョークコイルを使用するので、電源容量に対する実装面積を小さく設計することが可能である。

以上で明らかなように、この実施の形態2によれば、バッテリー2から入力する電圧 V_{IN} が基準電圧より低下すると、その入力電圧 V_{IN} を昇圧して既定電圧V1を出力するステップアップDC/DCコンバータ22を設けるように構成したので、クランキング動作等によって、バッテリー2の出力電圧が低下しても、既定電圧を車載用機器に出力できる結果、

車載用機器を安定的に動作させることができる。したがって、エンジン始動時におけるナビゲーション装置等のリセットを防止することができるため、アイドリングストップ車にも適応することができる。

実施の形態 3 .

上記実施の形態 1 では、D R A M 1 がセルフリフレッシュモードに移行すると、D R A M 1 の電力供給源を昇降圧電源 3 からバックアップ電源 4 に切り換えるものについて示したが、C P U 7 が D R A M 1 を構成する複数のメモリエリア A ~ C のうち、バックアップ電源 4 による電力供給対象のメモリエリアを設定し（例えば、メモリエリア A にデータが格納されているが、メモリエリア B , C にはデータが格納されていない場合、セクタ 9 , 10 を制御して、メモリエリア A のみを電力供給対象に設定する）、制御部 8 が電力供給対象のメモリエリアにのみ電力を供給させるようにしてもよい。

これにより、バックアップ時の消費電力を低減することができる効果を奏する。

実施の形態 4 .

上記実施の形態 3 では、バックアップ電源 4 による電力供給対象のメモリエリアを設定して、一部のメモリエリアにのみ電力を供給させるものについて示したが、バックアップ電源 4 による電力供給対象のメモリエリアを示す情報を C P U 7 のメモリマップ上に開示するバックアップ確認機構を設けるようにしてもよい。

これにより、前回終了が正常に行われたことの確認と、停止中に正常なバックアップが行われたことの確認と、バックアップ中のバックアップ電源 4 の低下等による不慮のメモリロスト等の確認とを行うことがで

きる。

実施の形態 5 .

上記実施の形態 1 では、クランキング動作によりバッテリー 2 の出力電圧が低下しても、CPU 7 や DRAM 1 の動作可能電圧を確保できるようにするため昇降圧電源 3 を設けるものについて示したが、バッテリー 2 の出力電圧が低下すると、一部の機器に対するバッテリー 2 からの電力供給を停止させるようにしてもよい。

これにより、クランキング動作によりバッテリー 2 の出力電圧が低下しているような場合には、CD-ROM, DVD, 表示用 LCD など、本体機能以外の機器に対する電源を落とすことができるため、バッテリー 2 の出力電圧の低下を抑制することができる効果を奏する。

産業上の利用可能性

以上のように、この発明に係るデータバックアップ装置は、車載用機器に搭載されている大容量のダイナミック RAM に対して適切に電力を供給することにより、大量のデータをバックアップするのに適している。

また、この発明に係る昇降圧電源は、バッテリーなどの主電源から入力する電圧が変動しても、既定の電圧を車載用機器に出力して、車載用機器を安定的に動作させるものに適している。

請 求 の 範 囲

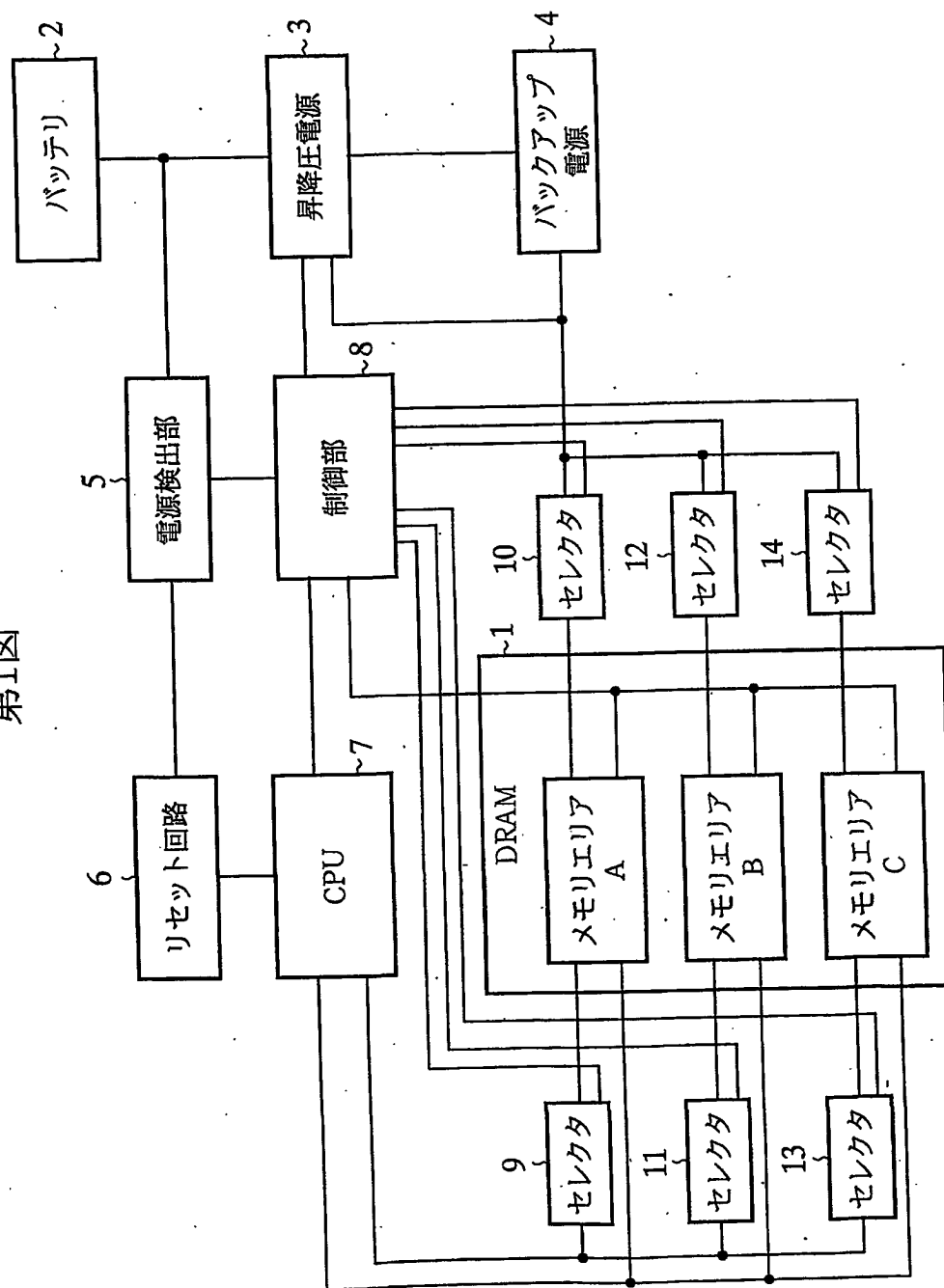
1. データを記憶するダイナミック R A M と、主電源のオフ指令を検出する検出手段と、上記検出手段が主電源のオフ指令を検出すると、上記ダイナミック R A M をセルフリフレッシュモードに変更して、バックアップ電源から上記ダイナミック R A M に電力を供給させる制御手段とを備えたデータバックアップ装置。
2. 制御手段は、主電源のオフ指令が検出されてから、セルフリフレッシュモードの変更が完了するまでの間、上記主電源からダイナミック R A M に電力を供給させることを特徴とする請求の範囲第 1 項記載のデータバックアップ装置。
3. 制御手段は、ダイナミック R A M を構成する複数のメモリ領域のうち、バックアップ電源による電力供給対象のメモリ領域を設定し、そのメモリ領域にのみ電力を供給させることを特徴とする請求の範囲第 1 項記載のデータバックアップ装置。
4. 制御手段は、バックアップ電源による電力供給対象のメモリ領域を示す情報を開示することを特徴とする請求の範囲第 3 項記載のデータバックアップ装置。
5. 制御手段は、主電源の出力電圧が低下すると、一部の機器に対する主電源からの電力供給を停止させることを特徴とする請求の範囲第 1 項記載のデータバックアップ装置。

6. ダイナミックRAMとしてSDRAMを使用する場合、制御手段の初期設定が完了するまでの間、上記制御部と上記SDRAMを切り離すことを特徴とする請求の範囲第1項記載のデータバックアップ装置。

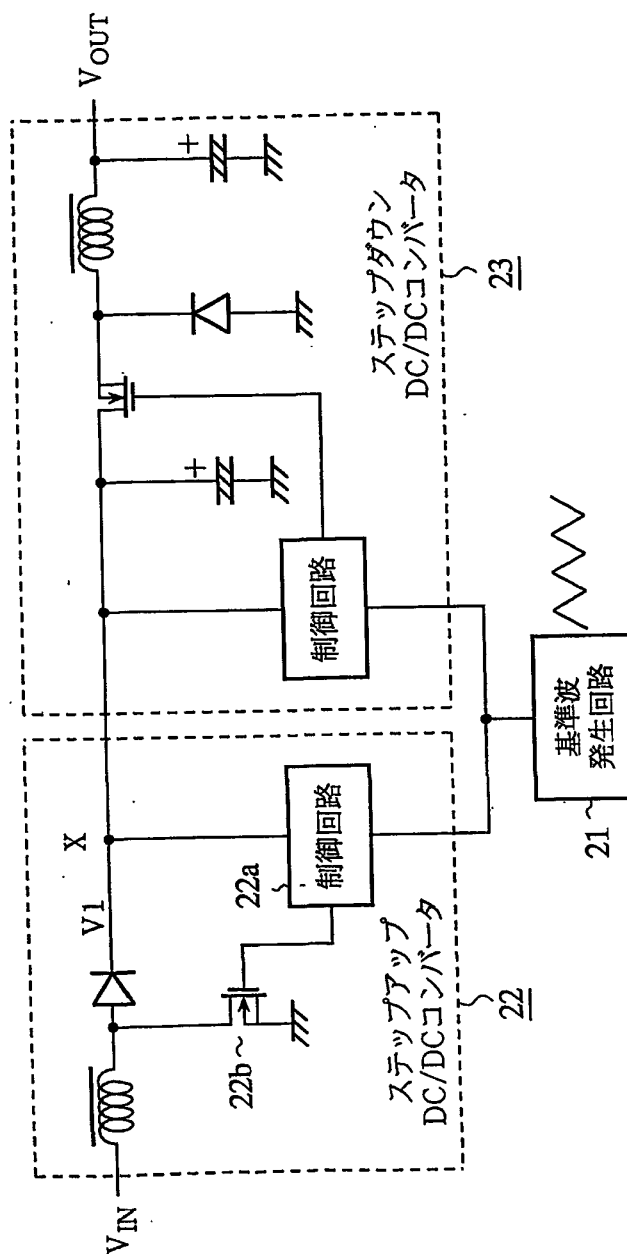
7. 主電源から入力する電圧が基準電圧より低下すると、その入力電圧を昇圧して既定電圧を出力するステップアップDC/DCコンバータと、上記ステップアップDC/DCコンバータと直列に接続され、上記主電源から入力する電圧が基準電圧より上昇すると、その入力電圧を降圧して既定電圧を出力するステップダウンDC/DCコンバータとを備えた昇降圧電源。

8. ステップアップDC/DCコンバータは、既定電圧を出力する出力段から電圧信号を取り込んでスイッチング素子を駆動することを特徴とする請求の範囲第7項記載の昇降圧電源。

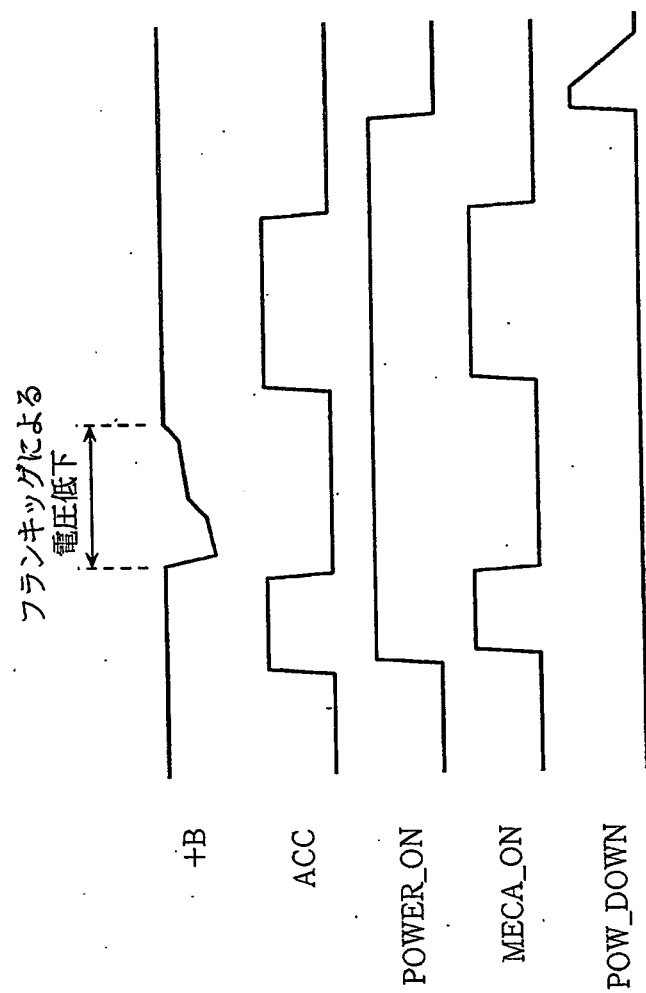
第1図



第2図



第3図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/03732

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ G11C11/401

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ G11C11/40-11/41, G06F1/26-1/32, H02M3/155Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1996 Jitsuyo Shinan Toroku Koho 1996-2000
Kokai Jitsuyo Shinan Koho 1971-2000 Toroku Jitsuyo Shinan Koho 1994-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 10-105478 A (NEC Eng. Ltd.),	1, 2
Y	24 April, 1998 (24.04.98) (Family: none)	3-6
X	JP 4-111295 A (Matsushita Electric Ind. Co., Ltd.),	1, 2
Y	13 April, 1992 (13.04.92) (Family: none)	3-6
Y	JP 56-101691 A (Tokyo Shibaura Denki K.K.), 14 August, 1981 (14.08.81), page 3, upper right column, lines 8 to 17; Fig. 3 (Family: none)	2, 5
Y	JP 3-25788 A (Nippon Steel Corporation), 04 February, 1991 (04.02.91), page 3, lower left column, lines 3 to 8 (Family: none)	3, 4
Y	JP 11-144455 A (Canon Inc.), 28 May, 1999 (28.05.99), Par. Nos. [0054], [0059], [0063]; Figs. 6, 7 (Family: none)	3, 4

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
24 August, 2000 (24.08.00)Date of mailing of the international search report
05 September, 2000 (05.09.00)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/03732

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 62-286143 A (Oki Electric Industry Co., Ltd.), 12 December, 1987 (12.12.87) (Family: none)	6
Y	JP 5-28757 A (Canon Inc.), 05 February, 1993 (05.02.93), Claim 2; Par. No. [0017]; Fig. 2	6
X	US 5610450 A (Mituo SAEKI), 11 March, 1997 (11.03.97), Claim 1; Fig. 1 & JP 8-140286 A Claim 1; Fig. 1	7, 8

国際調査報告

国際出願番号 PCT/JP00/03732

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ G11C11/401

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ G11C11/40-11/41, G06F1/26-1/32, H02M3/155

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
 日本国公開実用新案公報 1971-2000年
 日本国実用新案登録公報 1996-2000年
 日本国登録実用新案公報 1994-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP, 10-105478, A (日本電気エンジニアリング株式会社), 24. 4月. 1998 (24. 04. 98) (ファミリーなし)	1, 2 3-6
X Y	JP, 4-111295, A (松下電器産業株式会社), 13. 4月. 1992 (13. 04. 92) (ファミリーなし)	1, 2 3-6
Y	JP, 56-101691, A (東京芝浦電気株式会社), 14. 8月. 1981 (14. 08. 81), 第3頁右上欄第8-17行, 第3図 (ファミリーなし)	2, 5

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に関する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

24. 08. 00

国際調査報告の発送日

05.09.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

須原 宏光

5M

9057

電話番号 03-3581-1101 内線 3597

様式PCT/ISA/210 (第2ページ) (1998年7月)

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, 3-25788, A (新日本製鐵株式会社); 4. 2月. 1991 (04. 02. 91), 第3頁左下欄第3-8行 (ファミリーなし)	3, 4
Y	JP, 11-144455, A (キャノン株式会社), 28. 5月. 1999 (28. 05. 99), 【0054】, 【0059】, 【0063】, 図6, 図7 (ファミリーなし)	3, 4
Y	JP, 62-286143, A (沖電気工業株式会社), 12. 12月. 1987 (12. 12. 87) (ファミリーなし)	6
Y	JP, 5-28757, A (キャノン株式会社), 5. 2月. 1993 (05. 02. 93), 【請求項2】, 【0017】, 図2	6
X	US, 5610450, A (Mituo Saeki), 11. 3月. 1997 (11. 03. 97), 請求項1, 図1 & JP, 8-140286, A, 【請求項1】, 図1	7, 8

PCT

国際調査報告

(法8条、法施行規則第40、41条)
[PCT18条、PCT規則43、44]

出願人又は代理人 の書類記号 523426A	今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220)及び下記5を参照すること。	
国際出願番号 PCT/JP00/03732	国際出願日 (日.月.年) 08.06.00	優先日 (日.月.年)
出願人(氏名又は名称) 三菱電機株式会社		

国際調査機関が作成したこの国際調査報告を法施行規則第41条(PCT18条)の規定に従い出願人に送付する。
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 4 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

☐ この国際出願に含まれる書面による配列表

☐ この国際出願と共に提出されたフレキシブルディスクによる配列表

☐ 出願後に、この国際調査機関に提出された書面による配列表

☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記録した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない(第I欄参照)。

3. ☐ 発明の単一性が欠如している(第II欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。

☐ 次に示すように国際調査機関が作成した。

5. 要約は ☐ 出願人が提出したものを承認する。

☒ 第III欄に示されているように、法施行規則第47条(PCT規則38.2(b))の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から1カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、
第 1 図とする。 ☒ 出願人が示したとおりである。

☐ なし

☐ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。

第Ⅲ欄 要約 (第1ページの5の続き)

電源検出部5がバッテリー2のオフ指令を検出すると、DRAM1をセルフリフレッシュモードに変更して、バックアップ電源4からDRAM1に電力を供給させる。

昇降圧電源2は、入力電圧を昇圧して出力するステップアップDC/DCコンバータと、ステップアップコンバータと直列に接続され、入力電圧を降圧するステップダウンDC/DCコンバータとを備える。

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ G11C11/401

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ G11C11/40-11/41, G06F1/26-1/32, H02M3/155

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
 日本国公開実用新案公報 1971-2000年
 日本国実用新案登録公報 1996-2000年
 日本国登録実用新案公報 1994-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP, 10-105478, A (日本電気エンジニアリング株式会社), 24. 4月. 1998 (24. 04. 98) (ファミリーなし)	1, 2 3-6
X Y	JP, 4-111295, A (松下電器産業株式会社), 13. 4月. 1992 (13. 04. 92) (ファミリーなし)	1, 2 3-6
Y	JP, 56-101691, A (東京芝浦電気株式会社), 14. 8月. 1981 (14. 08. 81), 第3頁右上欄第8-17行, 第3図 (ファミリーなし)	2, 5

☒ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

24. 08. 00

国際調査報告の発送日

05.09.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

須原 宏光

5M

9057

電話番号 03-3581-1101 内線 3597

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, 3-25788, A (新日本製鐵株式会社); 4. 2月. 1991 (04. 02. 91), 第3頁左下欄第3-8行 (ファミリーなし)	3, 4
Y	JP, 11-144455, A (キャノン株式会社), 28. 5月. 1999 (28. 05. 99), 【0054】, 【0059】, 【0063】, 図6, 図7 (ファミリーなし)	3, 4
Y	JP, 62-286143, A (沖電気工業株式会社), 12. 12月. 1987 (12. 12. 87) (ファミリーなし)	6
Y	JP, 5-28757, A (キャノン株式会社), 5. 2月. 1993 (05. 02. 93), 【請求項2】, 【0017】, 図2	6
X	US, 5610450, A (Mituo Saeki), 11. 3月. 1997 (11. 03. 97), 請求項1, 図1 & JP, 8-140286, A, 【請求項1】, 図1	7, 8



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10105478 A**(43) Date of publication of application: **24 . 04 . 98**

(51) Int. Cl.

G06F 12/16
G06F 1/26
G11C 11/401

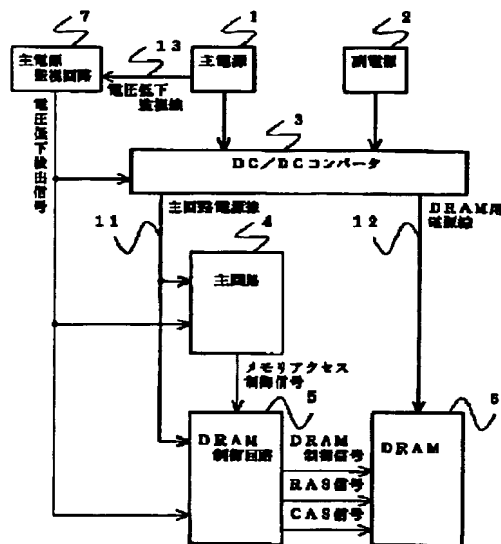
(21) Application number: **08258134**(22) Date of filing: **30 . 09 . 96**(71) Applicant: **NEC ENG LTD**(72) Inventor: **KUNIHIRO YASUSHI**(54) **MEMORY CONTROL CIRCUIT**

COPYRIGHT: (C)1998,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a memory control circuit whereby the memory contents of DRAM are surely protected at the time of changing-over a main power source into a sub-power source because of voltage lowering.

SOLUTION: The circuit is provided with a DC/DC converter 3 which inputs the main power source 1 so as to supply power into a device and also supply power only to DRAM 6 at the time of back-up by the sub-power source 2, a main power source monitoring circuit 7 which monitors the main power source and outputs a voltage lowering detecting signal at the time of detecting prescribed voltage lowering and a DRAM control circuit 5 which interrupts access to DRAM 6 at the time of receiving the voltage lowering detecting signal, secures the pulse width of a low level concerning a RAS signal and a CAS signal during transmission in the low level, holds a precharge time by the high level in the respective signals so as to change the level into the low one after that, secures a set-up time by the low level concerning the CAS signal and starts a self refresh mode together with the low level of the RAS signal after that.



(51) Int.Cl.⁹G 0 6 F 12/16
1/26
G 1 1 C 11/401

識別記号

3 4 0

F I

G 0 6 F 12/16
1/00
G 1 1 C 11/343 4 0 M
3 3 0 D
3 3 5 C
3 7 1 G

審査請求 未請求 請求項の数 2 O L (全 6 頁)

(21) 出願番号

特願平8-258134

(22) 出願日

平成 8 年(1996) 9 月30日

(71) 出願人 000232047

日本電気エンジニアリング株式会社

東京都港区芝浦三丁目18番21号

(72) 発明者 国広 靖

東京都港区芝浦三丁目18番21号 日本電気

エンジニアリング株式会社内

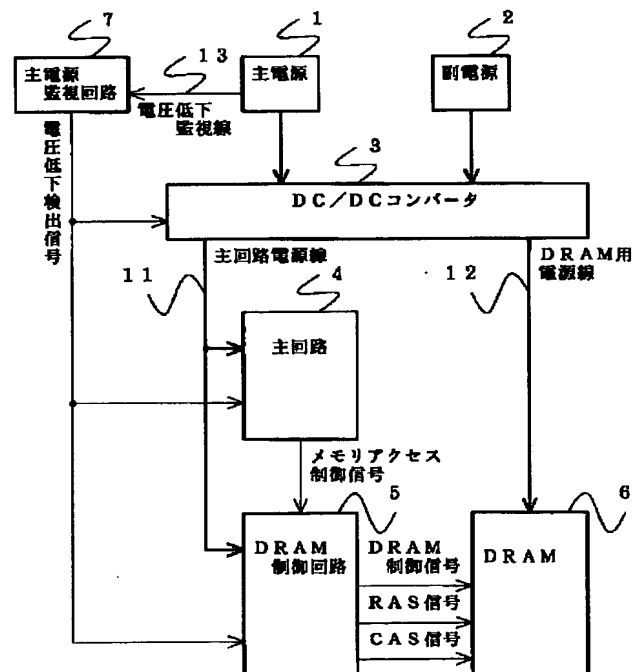
(74) 代理人 弁理士 京本 直樹 (外 2 名)

(54) 【発明の名称】 メモリ制御回路

(57) 【要約】

【課題】 主電源の電圧低下による副電源への切り替えの際にDRAMのメモリ内容を確実に保護できるメモリ制御回路を提供することである。

【解決手段】 主電源 1 を入力して装置内に電源を供給する一方、副電源 2 によるバックアップの場合にはDRAM 6 のみに電源を供給するDC/DCコンバータ 3 と、主電源 1 を監視し所定の電圧低下を検出した際に電圧低下検出信号を出力する主電源監視回路 7 と、この電圧低下検出信号を受けた際にDRAM 6 とのアクセスを中断し、ローレベルにある送出中のRAS信号およびCAS信号についてはローレベルのパルス幅を確保したのち、それぞれでハイレベルによるプリチャージ時間を保持してローレベルに変化し、CAS信号についてはローレベルで更にセットアップ時間を確保したのち、RAS信号のローレベルと共にセルフリフレッシュモードを開始させるDRAM制御回路 5 とを備えている。



【特許請求の範囲】

【請求項1】 セルフリフレッシュ機能を備えたDRAM (Dynamic Random Access Memory) を主電源が電圧低下した際に副電源によりバックアップするメモリ制御回路において、前記主電源を監視し所定の電圧低下を検出した際に前記DRAMとのアクセスを中断し、ローレベルにある送出中のRAS (Row Address Strobe) 信号およびCAS (Column Address Strobe) 信号それぞれについてはローレベルのパルス幅を確保した後、それぞれで

10 ハイレベルによるプリチャージ時間を保持してローレベルに変化し、CAS信号についてはローレベルで更にセットアップ時間を確保した後、RAS信号のローレベルと共にセルフリフレッシュモードを開始させる一方、副電源によるバックアップの場合には内蔵するキャパシタンスにより決定される時定数により前記セットアップ時間を十分確保する時間経過の後に前記DRAMのみに電源を供給する手段を備えることを特徴とするメモリ制御回路。

【請求項2】 セルフリフレッシュ機能を備えたDRAMを主電源が電圧低下した際に副電源によりバックアップするメモリ制御回路において、前記主電源を監視し所定の電圧低下を検出した際に電圧低下検出信号を出力する主電源監視回路と、この電圧低下検出信号を受けた際、前記DRAMとのアクセスを中断しローレベルにある送出中のRAS信号およびCAS信号それぞれについてはローレベルのパルス幅を確保した後、それぞれで

20 ハイレベルによるプリチャージ時間を保持してローレベルに変化し、CAS信号についてはローレベルで更にセットアップ時間を確保した後、RAS信号のローレベルと共にセルフリフレッシュモードを開始させる制御回路と、前記主電源を入力して装置内の全てに電源を供給する一方、副電源によるバックアップの場合には内蔵するキャパシタンスにより決定される時定数により前記セットアップ時間を十分確保する時間経過の後に前記DRAMのみに電源を供給するDC/DCコンバータとを備えることを特徴とするメモリ制御回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、セルフリフレッシュ機能を備えたDRAM (Dynamic Random Access Memory) を主電源が電圧低下した際に副電源によりバックアップするメモリ制御回路に関し、特に、主電源の電圧低下による副電源への切り替えの際にDRAMのメモリ内容を確実に保護できるメモリ制御回路に関する。

【0002】

【従来の技術】 従来、この種のメモリ制御回路では、主電源の電圧が低下してDRAM制御回路が動作不能になる前にDRAMのセルフリフレッシュモードを設定して、DRAMの記憶内容を副電源で保持している。この際、セルフリフレッシュモードの設定を行なうためセル

フリフレッシュの起動動作を確実に実施することが必要となる。

【0003】 この、セルフリフレッシュの起動動作を確実に実施できるようにした技術が、例えば、特開平7-334432号公報に記載されている。

【0004】 このメモリ制御回路では、図4および図5に示されるように、主電源1および補助電源2がダイオード回路30に入力されており、主電源1が正常な場合には主回路電源110およびDRAM用電源120の両者により主回路4、DRAM制御回路50、およびDRAMを含むメモリモジュール60は、電源を供給されている。

【0005】 一方、主回路4およびDRAM制御回路50に電源供給する主回路電源110は電源監視回路70により監視されており、電源監視回路70は、主回路電源110が電圧V1に低下した際に第1検出信号を発生してDRAM制御回路50に出力し、また、更にDRAM制御回路50の動作限界の電圧V2にまで低下した際には第2検出信号を発生してメモリモジュール60へ出力している。

【0006】 すなわち、第1検出信号を受けたDRAM制御回路50は、DRAM制御回路50自身の稼働可能電圧範囲、電圧V2に低下するまでの間に、セルフリフレッシュを起動して実行中のデータ転送およびリフレッシュを完了させ、セルフモードを設定する前処理を行なう。

【0007】 この前処理には主回路4によるDRAMアクセスの停止およびDRAMのセルフリフレッシュ移行があり、この前処理ためには、アプリケーションプログラムにより異なるが、数十mSから数百mSの時間が必要とされる。

【0008】 DRAM用電源120の供給を受けるメモリモジュール60は、第2検出信号を受けた際、内蔵するドライブ回路がRAS (Row Address Strobe) 信号およびCAS (Column Address Strobe) 信号をローレベルにしてDRAMのセルフリフレッシュを起動し以後、セルフリフレッシュモードが維持される。

【0009】

【発明が解決しようとする課題】 上述した従来のメモリ制御回路では、主電源のみから主回路およびDRAM制御回路へ電源供給する主回路電源の電圧低下で第1検出信号が発生した場合、DRAM制御回路の稼働限度である電圧を検出し第2検出信号が発生するまでの間に、実行中のデータ転送およびリフレッシュを完了させ、セルフモードを設定する前処理が行なわれる。

【0010】 この構成では、主電源が図示されるように徐々に電圧低下する場合はよいが、電池を電源とする携帯型の装置のように、装置の落下、主電池の脱落など、急激な切断、電圧低下に対して、第1検出信号の検出から第2検出信号の検出までの時間がほとんどないので、

前処理期間中に前処理が完了できない事態を生じ、この結果、DRAMのセルフリフレッシュモードを開始することができず、DRAMのメモリ内容を保護できない恐れがあるという問題点がある。

【0011】本発明の課題は、主電源の電圧低下による副電源への切り替えの際にDRAMのメモリ内容を確実に保護できるメモリ制御回路を提供して、上記問題点を解決することである。

【0012】

【課題を解決するための手段】本発明によるメモリ制御回路は、セルフリフレッシュ機能を備えたDRAM (Dynamic Random Access Memory) を主電源が電圧低下した際に副電源によりバックアップするメモリ制御回路において、前記主電源を監視し所定の電圧低下を検出した際に前記DRAMとのアクセスを中断し、ローレベルにある送出中のRAS (Row Address Strobe) 信号およびCAS (Column Address Strobe) 信号それぞれについてはローレベルのパルス幅を確保した後、それぞれでハイレベルによるプリチャージ時間を保持してローレベルに変化し、CAS信号についてはローレベルで更にセットアップ時間を確保した後、RAS信号のローレベルと共にセルフリフレッシュモードを開始させる一方、副電源によるバックアップの場合には内蔵するキャパシタンスにより決定される時定数により前記セットアップ時間を十分確保する時間を経過の後に前記DRAMのみに電源を供給する手段を備えている。

【0013】この結果、主電源の電圧低下を検出した場合、時定数により数mS以上を有して副電源への切り替える一方、電圧低下の検出でDRAMのアクセスを中断するので、所要時間はセルフリフレッシュへの切り替えの数十nSで済み、この時間によりDRAMのメモリ内容を確実に保護できる。

【0014】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。

【0015】図1は本発明の実施の一形態を示す機能ブロック図である。図1に示されたメモリ制御回路は、主電源1、副電源2、DC/DCコンバータ3、主回路4、DRAM制御回路5、DRAM6および主電源監視回路7により構成されているものとし、携帯型装置であるものとする。

【0016】従って、主電源1は乾電池を使用し、副電源2は主電源オフの際にDRAM6のバックアップ用として使用されるリチウム電池であるものとする。

【0017】DC/DCコンバータ3は、主電源1を主回路電源線11およびDRAM用電源線12へ出力し、図3に示されるように、主電源監視回路7から電圧低下検出値に低下したことを検出した電圧低下検出信号を受けた際には、最低数mSの時間経過の後、主電源1からの入力に代わり副電源2を入力し、かつDRAM用電源

線12のみへ出力するものとする。

【0018】従って、この切り替え時の主回路電源線11の電圧はDC/DCコンバータ3により数mS以上の時定数をもって低下することになる。

【0019】主回路4は、DC/DCコンバータ3の主回路電源線11により電源供給を受け、メモリアクセス制御信号をDRAM制御回路5に送り、DRAM6とのアクセスを行なうものとし、主電源監視回路7から電圧低下検出信号を受けた際にはDRAM6とのアクセスを中止するものとする。

【0020】DRAM制御回路5は、DC/DCコンバータ3の主回路電源線11により電源供給を受けて稼働し、主回路4からメモリアクセス制御信号を受け、DRAM制御信号、ならびに行アドレス信号のラッチのためのRAS信号および列アドレス信号のラッチのためのCAS信号によりDRAM6を制御するものとする。

【0021】また、DRAM制御回路5は、主電源監視回路7から電圧低下検出信号を受けた場合については、図2を参照して後で説明するが、主回路4からのメモリアクセス制御信号を制御してDRAM6へのアクセスを中断し、DRAM6をセルフリフレッシュモードへ切り替えるものとする。この際、DRAM制御回路5は、DRAM6とのアクセス中でも図2を参照して説明されるように強制的にアクセスタイミングを制御してDRAM6をセルフリフレッシュモードへ切り替えるものとする。

【0022】DRAM6は、DC/DCコンバータ3のDRAM用電源線12により電源供給を受け、セルフリフレッシュ機能を有するダイナミックRAMであり、DRAM制御回路5により制御されるものとする。

【0023】主電源監視回路7は、電圧低下監視線13により主電源1の出力電圧の低下を監視し所定の電圧低下を検出した際には電圧低下検出信号をDC/DCコンバータ3、主回路4およびDRAM制御回路5へ送出している。

【0024】次に、図1に図2を併せ参照して、DRAM制御回路5によるDRAM6とのアクセスタイミングについて説明する。

【0025】図2(A)には、通常、DRAM6において行アドレス信号をラッチする際のRAS信号およびCAS信号の波形が示されている。図示されるように、RAS信号は行アドレス信号をラッチするために必要なローレベルのパルス幅 T_{RAS} (最小60nS) をもって、また、CAS信号は列アドレス信号をラッチするために必要な、RAS信号より遅れ短い、ローレベルのパルス幅 T_{CAS} (最小15nS) をもって、両者共、ハイレベルに同時に変化している。

【0026】いま、RAS信号がローレベルで、CAS信号がハイレベルの状態A、RAS信号およびCAS信号の両者がローレベルの状態B、およびRAS信号およ

10

20

30

40

50

びCAS信号の両者がハイレベルの状態Cそれぞれについてセルフリフレッシュモードを開始する手順をDRAM制御回路5により制御されるRAS信号およびCAS信号それぞれについて説明する。

【0027】図2(B)は上記状態Aの場合を示している。

【0028】RAS信号は、行アドレス信号のラッチ動作に入ったのでローレベルのパルス幅 T_{RAS} を確保し、次いでプリチャージ時間 T_{RP} (最小40nS)をハイレベルにしたのち、セルフリフレッシュモードを形成するローレベルに変化する。

【0029】CAS信号は、ハイレベルなのでセルフリフレッシュモードを形成するローレベルに変化するが、RAS信号がセルフリフレッシュモードを形成するローレベルに変化するまで、ローレベルによるセットアップ時間 T_{AS} (最小0nS)を設けている。

【0030】次に、図2(C)は上記状態Bの場合を示している。

【0031】この状態では、RAS信号およびCAS信号共に、行列アドレス信号のラッチ動作に入ったのでローレベルのパルス幅 T_{RAS} およびパルス幅 T_{CAS} を確保して同時にハイレベルに変化する。

【0032】RAS信号は、ハイレベルをプリチャージ時間 T_{RP} 継続したのち、セルフリフレッシュモードを形成するローレベルに変化する。CAS信号もハイレベルをプリチャージ時間 T_{CP} (最小10nS)継続したのち、ローレベルに変化するが、セルフリフレッシュモードを形成するまでローレベルによるセットアップ時間 T_{CS} を設けている。

【0033】すなわち、RAS信号およびCAS信号共にハイレベルになってからローレベルになってセルフリフレッシュモードを開始する時点まで、RAS信号はほぼプリチャージ時間 T_{RP} (最小40nS)であり、一方CAS信号はほぼプリチャージ時間 T_{CP} とセットアップ時間 T_{CS} との和で、最小10nSである。

【0034】また、図2(D)は上記状態Cの場合を示している。

【0035】この状態では、RAS信号およびCAS信号共に、行列アドレス信号のラッチ動作が終り、ハイレベルにあるので、上記状態Bの同時にハイレベルになった場合と同様、RAS信号ではプリチャージ時間 T_{RP} 、またCAS信号はプリチャージ時間 T_{CP} とセットアップ時間 T_{CS} との和、それぞれを確保して両者がローレベルにある状態でセルフリフレッシュモードは開始される。

【0036】全ての上記状態において、RAS信号およびCAS信号のいずれも、アドレス信号のラッチ処理が開始された場合にはラッチが完了した後にハイレベルのプリチャージ時間が設けられ、CAS信号ではプリチャージ時間 T_{CP} とセットアップ時間 T_{CS} との和がRAS信号のプリチャージ時間 T_{RP} とほぼ一致するように設定さ

れ、この大きい方の最小時間40nSを確保した後、両者がローレベルにある状態でセルフリフレッシュモードは開始され維持される。

【0037】この結果、電圧低下が検出されてからセルフリフレッシュモードが開始されるまでの最小時間が確保されるので、DRAM内に記憶されているメモリ内容は正常であり、破壊されることはない。

【0038】上記説明では、携帯型装置で乾電池を使用するとしたが、他の装置、例えば、据え置き型で商用電源を主電源に設けてもよい。更に、機能をブロックで図示して説明したが、機能の分離併合による分配は上記機能を満たす限り自由であり、上記説明が本発明を限定するものではない。

【0039】

【発明の効果】以上説明したように本発明によれば、主電源を入力して装置内の全てに電源を供給する一方、副電源によるバックアップの場合にはDRAMのみに電源を供給するDC/DCコンバータと、主電源を監視し所定の電圧低下を検出した際に電圧低下検出信号を出力する主電源監視回路と、この電圧低下検出信号を受けた際にDRAMとのアクセスを中断し、ローレベルにある送出中のRAS信号およびCAS信号それぞれについてはローレベルのパルス幅を確保したのち、それぞれでハイレベルによるプリチャージ時間を保持してローレベルに変化し、CAS信号についてはローレベルで更にセットアップ時間を確保したのち、RAS信号のローレベルと共にセルフリフレッシュモードを開始させる制御回路とを備えている話中端末呼出し方式が得られる。

【0040】この結果、主電源監視回路で電圧低下を検出した際、DC/DCコンバータが有する時定数によりこの電圧の低下には数mS以上を有し、更に、電圧低下の検出でDRAMのアクセスを中断するので、所要時間はセルフリフレッシュへの切り替えのみで済み、更に、この切り替えの時間内でラッチ途中でもローレベルのパルス幅を確保して信号のラッチを終了したのち、プリチャージおよびCAS信号のプリチャージ時間を保持できるので、DRAMのメモリ内容を確保できるという効果を得ることができる。

【図面の簡単な説明】

【図1】本発明の実施の一形態を示す機能ブロック図である。

【図2】図1におけるRAS信号およびCAS信号それぞれ実施の一形態を示す波形図である。

【図3】図1における主電源から副電源に切り替わる際の実施の一形態を示す波形図である。

【図4】従来の一例を示す電源電圧低下に対する波形図である。

【図5】従来の一例を示す機能ブロック図である。

【符号の説明】

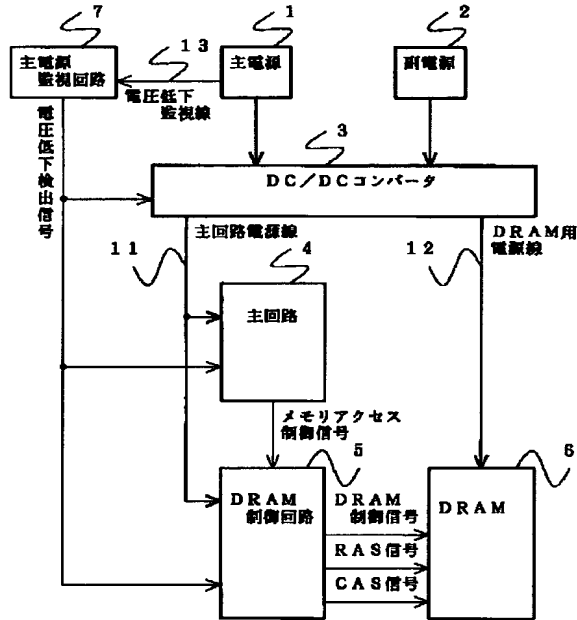
50 1 主電源

- 2 副電源
- 3 DC/DCコンバータ
- 4 主回路
- 5 DRAM制御回路
- 6 DRAM

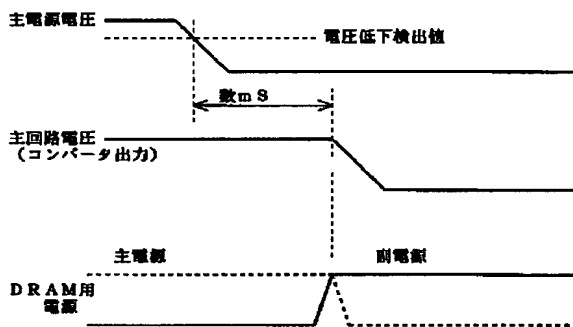
- * 7 主電源監視回路
- 1 1 主回路電源線
- 1 2 DRAM用電源線
- 1 3 電圧低下監視線

*

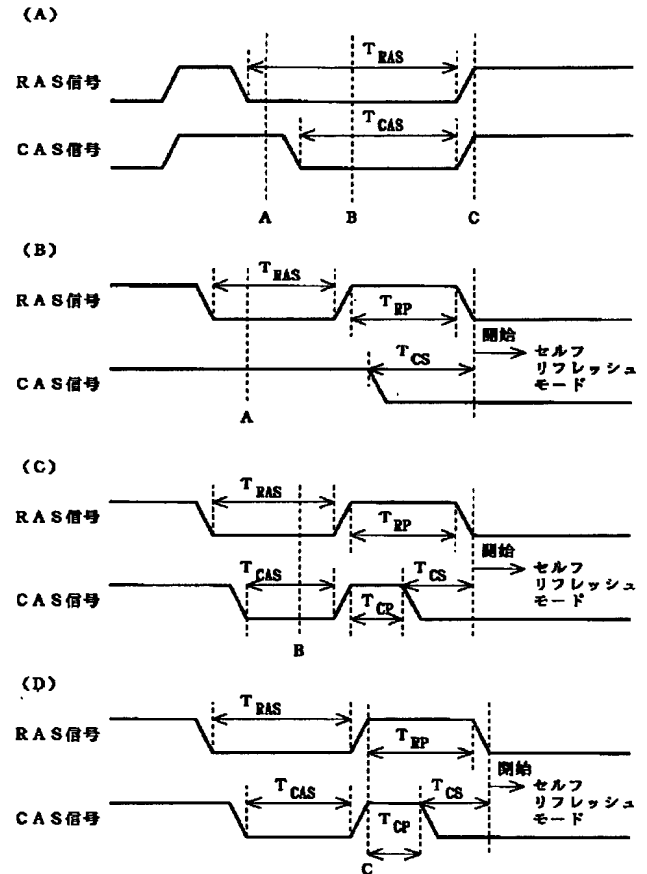
【図1】



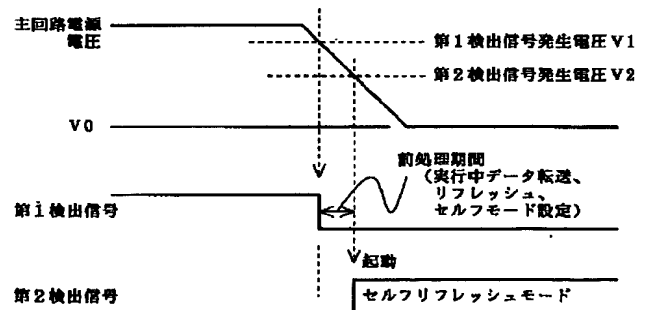
【図3】



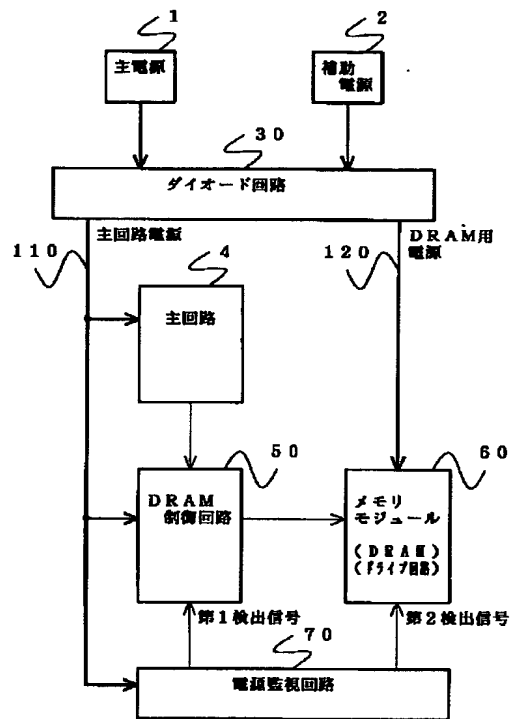
【図2】



【図4】



【図5】

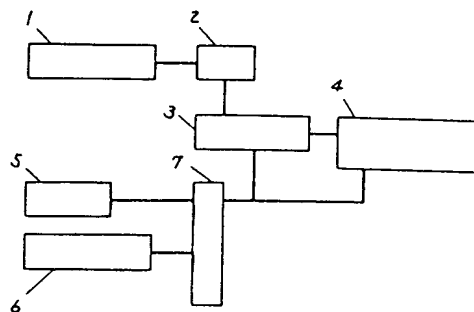


(54) MEMORY CONTROL CIRCUIT

(11) 4-111295 (A) (43) 13.4.1992 (19) JP
 (21) Appl. No. 2-230355 (22) 30.8.1990
 (71) MATSUSHITA ELECTRIC IND CO LTD (72) KAZUHIKO NAMIKAWA
 (51) Int. Cl⁵. G11C11/405, G11C11/402

PURPOSE: To simplify a control circuit for shifting to a self refresh mode by controlling a control signal for shifting a memory with self refresh function to the self refresh mode.

CONSTITUTION: A memory control circuit 3 is equipped with a function to control RAS and CAS signals from a CPU. When a power source OFF detection circuit 1 detects a power source is turned off, interruption is applied to the CPU 2, and the memory control circuit 3 executes control to shift a DRAM 4 with self refresh function from the CPU 2 to the self refresh mode. Thus, the control circuit for tuning the memory with self refresh function to the self refresh mode can be simplified.



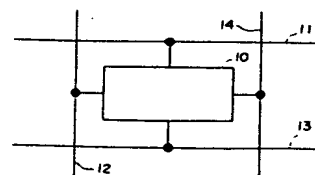
5: main power source, 6: backup power source, 7: power source switching circuit

(54) SEMICONDUCTOR MEMORY AND MEMORY CELL

(11) 4-111296 (A) (43) 13.4.1992 (19) JP
 (21) Appl. No. 2-229767 (22) 30.8.1990
 (71) NIPPON STEEL CORP (72) ATSUGO KOSHIZUKA
 (51) Int. Cl⁵. G11C11/41

PURPOSE: To accelerate an operation processing by providing a first select line group and a first read line group for reading out the data of memory cells arranged in a row direction and providing a second select line group and a second read line group for reading out the data of memory cells arranged in a column direction.

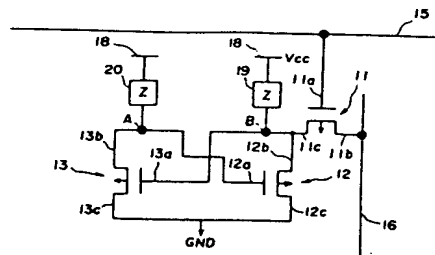
CONSTITUTION: A first select line 11 extending in the row direction and a second select line 12 extending in the column direction are connected to a memory cell 10 and concerning the read line as well, a second read line 13 extending in the row direction and a second read line 14 extending in the column direction are connected. Therefore, either the row direction or the column direction can be selected and the data can be read out either in the row direction or in the column direction. Thus, even when executing arithmetic to compare bit data in which a lot of words are correspondent one and another, one time of reading operation is enough and the operation processing can be accelerated.

**(54) STATIC RANDOM ACCESS MEMORY CELL**

(11) 4-111297 (A) (43) 13.4.1992 (19) JP
 (21) Appl. No. 2-229766 (22) 30.8.1990
 (71) NIPPON STEEL CORP (72) ATSUGO KOSHIZUKA
 (51) Int. Cl⁵. G11C11/412

PURPOSE: To decrease the number of transistors to be formed on a substrate and to improve the degree of integration by providing second and third transistors to be connected to a first transistor, and a second impedance element.

CONSTITUTION: This device is equipped with a first transistor 11, second transistor 12, third transistor 13, select line 15, read line 16, power supply line 18, and impedance elements 19 and 20. In this case, two transistors, namely, the first and second transistors 11 and 12 are related to drive the read line 16 only, and the third transistor 13 is operated to hold the memory state of this memory cell stable. Therefore, the third transistor 13 can be formed while being laminated, and an area occupied by each memory cell can be reduced. Thus, since two transistors to be formed on the substrate are enough per memory cell, the degree of integration can be improved for the reduced components.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-111295

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)4月13日

G 11 C 11/405
11/402

8526-5L G 11 C 11/34 3 7 1 F
8526-5L 3 5 2 F

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 メモリ制御回路

⑯ 特 願 平2-230355

⑰ 出 願 平2(1990)8月30日

⑱ 発 明 者 並 河 一 比 古 大阪府門真市大字門真1006番地 松下電器産業株式会社内
⑲ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地
⑳ 代 理 人 弁理士 小 鍛 治 明 外2名

明 細 書

1. 発明の名称

メモリ制御回路

2. 特許請求の範囲

電源がオフになったことを検出する電源オフ検出回路からCPUへ割込みをかけ、前記CPUによりセルフリフレッシュ機能付きメモリをセルフリフレッシュモードに移すための制御信号を制御することを特徴とするメモリ制御回路。

3. 発明の詳細を説明

産業上の利用分野

本発明は、セルフリフレッシュ機能付きメモリをバックアップメモリとして使うためのメモリ制御回路に関するものである。

従来の技術

近年、疑似スタティックRAMやセルフリフレッシュ機能付きDRAMのようなセルフリフレッシュ機能を内蔵したメモリが出てきた。このようなメモリの場合、メモリをバックアップするためにリフレッシュ回路を外付けする必要はなくな

たが、セルフリフレッシュモードに入るための制御は必要としている。このような従来の回路についてその構成を図3図に示す。セルフリフレッシュ機能付きDRAM4は、メイン電源5がオフになり電源切替回路7によりバックアップ電源6に切替ると、電源オフ検出回路1がそれを検出し、セルフリフレッシュモード移行回路9で、セルフリフレッシュモードに移すためのメモリの制御信号を制御していた。また、メモリアクセス中にセルフリフレッシュモードに入らないように、メモリアクセス調停回路8でセルフリフレッシュモードに入るタイミングの調停を行っていた。

発明が解決しようとする課題

セルフリフレッシュ機能付きメモリを使った場合、メモリ読み書き時などメモリアクセス中にセルフリフレッシュモードに入ろうとすると、セルフリフレッシュモードに入るためのシーケンスが満足できない。そこで、メモリアクセス時に、セルフリフレッシュモードに入らないようにする調停回路が必要となっていた。

本発明は、上記問題を解決するもので調停回路を不要とし、またセルフリフレッシュモードに移すための制御回路の簡略化を目的としている。

課題を解決するための手段

本発明は、上記目的を達成するために、電源がオフになったことを検出する電源オフ検出回路からCPUへ割込みをかけ、CPUによりセルフリフレッシュ機能付きメモリをセルフリフレッシュモードに移すための制御信号を制御するものである。

作用

本発明は上記した構成により、セルフリフレッシュ機能付きメモリを、セルフリフレッシュモードに入れるための制御回路が簡略化できる。

実施例

以下、本発明の一実施例について、図面を参照しながら説明する。

第1図は、セルフリフレッシュ機能付きDRAM 4をバッテリバックアップするための構成図である。従来例と同じ箇所には同一番号を付与し、

て有用である。

4、図面の簡単な説明

第1図は本発明のセルフリフレッシュ機能付きDRAMを用いたときの一実施例のブロック図、第2図は、セルフリフレッシュ機能付きDRAMをセルフリフレッシュモードに移すための処理例の図、第3図は従来のメモリ制御のブロック図である。

1……電源オフ検出、2……CPU、3……メモリ制御回路、4……セルフリフレッシュ機能付きDRAM、5……メイン電源、6……バックアップ電源、7……電源切替回路。

代理人の氏名 弁理士 小 鍛 治 明 ほか2名

説明を省く。

メモリ制御回路3は、CPUからRAS、CAS信号を制御する機能をもたせてある。

電源オフ検出回路1で、電源がオフになったことを検出すると、CPU2に割込みがかけられ、メモリ制御回路3が、CPU2からセルフリフレッシュ機能付きDRAM4をセルフリフレッシュモードに移す制御を実行する。

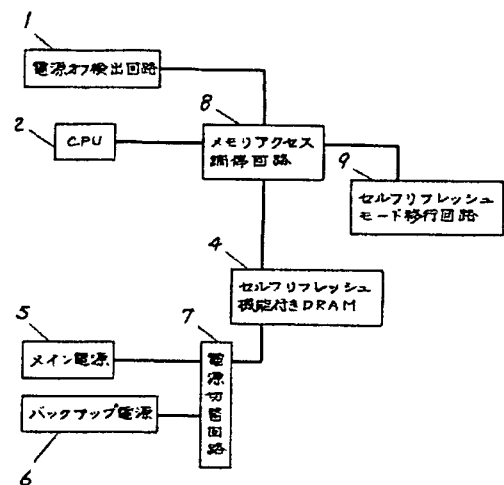
セルフリフレッシュ機能付きDRAM4を、セルフリフレッシュモードに移すための処理例は、第2図に示すように、CASを下げ、RAS、CASセットアップ時間待って、RASを下げる。あとは、RAS、CASをLOWに固定しておけばセルフリフレッシュモードに入る。

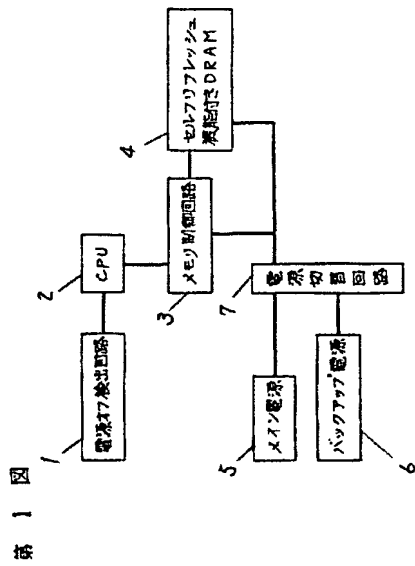
疑似スタティックRAMの場合は、リフレッシュ入力とチップイネーブル入力を制御する。

発明の効果

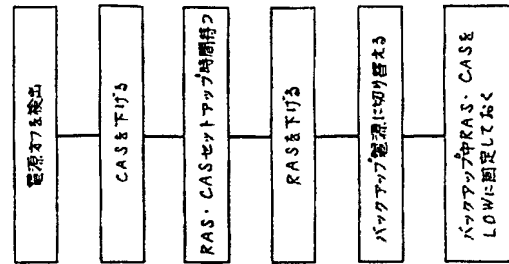
本発明によれば、きわめて簡易な回路構成でセルフリフレッシュ機能付きメモリをセルフリフレッシュモードに移すことができ、実用的にきわめ

第 3 図





第 2 図

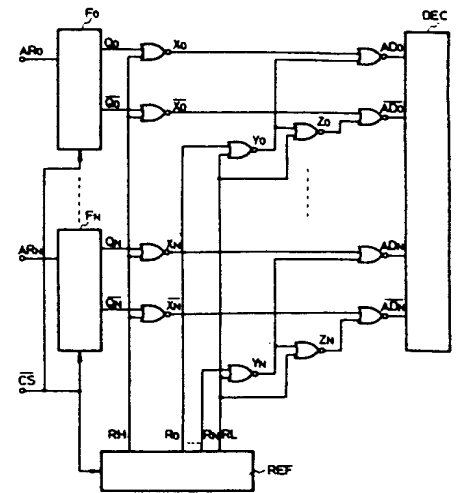


(54) ADDRESS INPUT CIRCUIT OF SEMICONDUCTOR MEMORY DEVICE

(11) 56-101690 (A) (43) 14.8.1981 (19) JP
 (21) Appl. No. 55-2494 (22) 12.1.1980
 (71) NIPPON DENKI K.K. (72) MICHIAKI KOJIMA
 (51) Int. Cl.³ G11C11/34

PURPOSE: To obtain a dynamic memory which can be operated externally as a static memory, by refreshing the memory automatically by an asynchronous built-in refresh control circuit.

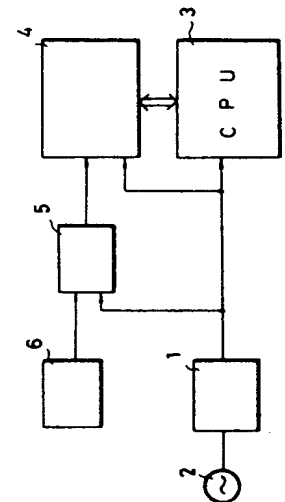
CONSTITUTION: When a refresh control circuit REF is placed in refresh mode while no external signal arrives, terminals RH and RL are held at high and low levels respectively to form a period of the refresh mode automatically, and a refresh address is sent to address decoder DEC to refresh automatically a memory which is not shown in the figure. When chip selection signal CS does not rise in refresh mode, its rise point is preferentially included in the refresh mode and latch data is sent to address decoder DEC. In refresh mode, an access mode is set after the end of the mode and the latch data is sent to decoder DEC. During the period of the access mode, when a refresh time comes, the refresh mode is set on the end of access and addresses are sent to decoder DEC.

**(54) REFRESH CONTROL SYSTEM**

(11) 56-101691 (A) (43) 14.8.1981 (19) JP
 (21) Appl. No. 55-2869 (22) 14.1.1980
 (71) TOKYO SHIBAURA DENKI K.K. (72) TAKASHI HIRAOKA
 (51) Int. Cl.³ G11C11/34

PURPOSE: To reduce the electric power consumption of backup operation by exercising memory control with the output of a basic power circuit normally and by permitting to perform refresh control by itself when the power source is abnormal.

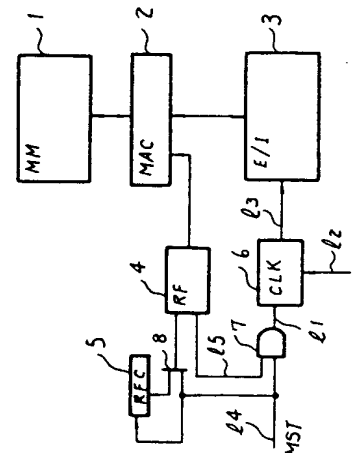
CONSTITUTION: While basic power circuit 1 is in normal operation, its output DC voltage is supplied to CPU3 and nonvolatile memory 4 to put the system in normal operation, and the memory is refreshed through CPU3. If the supply of commercial AC power source 2 is excluded or if the output is excluded owing to a fault of circuit 1, switching device 5 supplies the output of battery 6 to memory 4. Consequently, the memory contents of memory 4 are retained. Then, CPU3 monitors the operation state of circuit 1 invariably and, if a failure occurs, sends a refresh start signal from a refresh oscillator to a refresh control circuit, from which a refresh control signal is outputted to a memory element. Thus, the memory exercises refresh control by itself, and consequently the need to back up the power source of CPU3, so that the power consumption of the backup operation can be reduced.

**(54) MANUAL CLOCK CONTROL SYSTEM**

(11) 56-101692 (A) (43) 14.8.1981 (19) JP
 (21) Appl. No. 55-3289 (22) 16.1.1980
 (71) FUJITSU K.K. (72) KATSUNOBU NODA
 (51) Int. Cl.³ G11C11/34, G06F1/04, G06F11/22

PURPOSE: To enable accurate manual clock control by performing refresh operation by supplying a manual clock start signal, and then by generating a certain number of clock signals.

CONSTITUTION: A data processor is provided with AND gate 7 and OR gate 8. Start signal ℓ_4 from a start push button drives refresh control circuit 4 via gate 8 and also resets refresh counter 5. In response to refresh completion signal ℓ_5 , signal ℓ_4 is inputted to clock control circuit 6 via gate 7. Therefore, when the number of clocks corresponds to a time within the refresh period, memory access and refreshment never overlap each other at a halfway point, so that invariably accurate manual clock control can be exercised.



⑬ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭56—101691

⑭ Int. Cl.³
G 11 C 11/34

識別記号
1 0 1

庁内整理番号
7922—5 B

⑬ 公開 昭和56年(1981)8月14日

発明の数 1
審査請求 未請求

(全 5 頁)

⑭ リフレッシュ制御方式

東京都府中市東芝町1番地東京
芝浦電気株式会社府中工場内

⑮ 特 願 昭55—2869

⑮ 出 願 人 東京芝浦電気株式会社

⑯ 出 願 昭55(1980)1月14日

川崎市幸区堀川町72番地

⑰ 発 明 者 平岡孝

⑰ 代 理 人 弁理士 鈴江武彦 外2名

明 細 書

1. 発明の名称

リフレッシュ制御方式

2. 特許請求の範囲

処理装置及び揮発性記憶装置からなり、基本電源異常時には上記記憶装置に対してバッテリバックアップを行うバックアップ機能を備えた情報処理システムにおいて、上記記憶装置は、一定周期でリフレッシュ要求信号を出力するリフレッシュ発振器と、上記処理装置からの動作信号により制御され上記基本電源の正常時には上記処理装置からのリフレッシュ要求信号を受け、上記基本電源の異常時には上記リフレッシュ発振器からのリフレッシュ要求信号を受けけるゲート回路と、このゲート回路の出力により揮発性記憶素子に対するリフレッシュ制御を行うリフレッシュ制御回路と、上記ゲート回路に上記処理装置からのリフレッシュ要求信号が受け付けられた時上記処理装置からのリフレッシュアドレスがセットされ、上記リフレッシュ発振器からの出力が受

付けられた時にその値を順次カウントアップするアドレスカウンタと、上記処理装置の動作信号により制御され、動作信号がアクティブの時に上記処理装置からのリフレッシュアドレスを選択し、動作信号がイナクティブの時に上記アドレスカウンタのリフレッシュアドレスを選択して上記記憶素子に与えるアドレス選択器とを具備し、上記基本電源の正常時には上記処理装置により上記記憶装置のリフレッシュ制御を行い、上記基本電源の異常時には上記記憶装置自身でリフレッシュ制御を行うことを特徴とするリフレッシュ制御方式。

3. 発明の詳細な説明

本発明はバッテリバックアップ機能を備えた揮発性の記憶装置に関し、通常時には効果的なリフレッシュができ、電源異常によりバッテリバックアップを行っている場合には少ない消費電力でリフレッシュを確実に実行し得るリフレッシュ制御方式を提供することを目的とする。

以下4面を参照して本発明の一実施例を説明する。第1図は情報処理システム全体の概略構成を示すブロック図である。同図において1は基本電源回路で、商用交流電源2を整流、平滑して直流電圧を得ている。この基本電源回路1の出力電圧は、CPU（中央処理装置）3及び揮発性記憶素子からなる記憶装置4へ供給される。また、基本電源回路1の出力電圧は、切換装置5へ入力される。この切換装置5にはバッテリー6が接続されており、基本電源回路1の出力が遮断された場合にバッテリー6の出力が切換装置5により選択されて記憶装置4へ動作電源として供給されるようになっている。上記記憶装置4は常時はCPU3によってリフレッシュ制御される。また、記憶装置4内には詳細を後述するがリフレッシュ制御回路が設けられており、常時はCPU3からの指令に従ってリフレッシュ制御を行うが、基本電源回路1の出力が遮断されてバッテリー6の出力が供給された場合は、内部発振器の出力に従って自動的にリフレッシュ制

3

回路14へ入力されると共にインバータ15を介してアンド回路16へ入力される。上記アンド回路14には、CPU3から信号ラインcを介して送られてくるリフレッシュ要求信号が入力される。そして、アンド回路14の出力はリフレッシュアドレスカウンタ11のロード端子Lへ入力されると共に、オア回路17を介してリフレッシュ制御回路18へリフレッシュ開始信号として送られる。また、アンド回路16にはリフレッシュ発振器19から出力されるリフレッシュ要求信号が入力される。そして、このアンド回路16の出力はリフレッシュアドレスカウンタ11へカウントアップ信号として入力されると共にオア回路17を介してリフレッシュ制御回路18へ送られる。このリフレッシュ制御回路18は、オア回路17を介してリフレッシュ開始信号が入力されると制御動作を開始し、リフレッシュ制御信号を記憶素子13へ出力する。

次に上記のように構成された本発明の動作を

5

御を行うように構成されている。

次に第2図により上記記憶装置4の詳細について説明する。同図において8は前記CPU3からのリフレッシュアドレスが送られてくるアドレスバスである。このアドレスバス8により記憶装置4に送られてくるリフレッシュアドレスは、リフレッシュアドレスカウンタ11及びリフレッシュアドレス選択器12へ入力される。また、このリフレッシュアドレス選択器12には、リフレッシュアドレスカウンタ11の出力が与えられる。リフレッシュアドレス選択器12は、CPU3から信号ラインbを介して送られてくるCPU動作信号によって一方の入力を選択し、揮発性の記憶素子13へ供給する。すなわち、リフレッシュアドレス選択器12は、CPU動作信号がアクティブ（“1”）の時にCPU3からのリフレッシュアドレスを選択し、イナクティブ（“0”）の時にリフレッシュアドレスカウンタ11の出力を選択する。また、上記信号ラインbを介して送られてくるCPU動作信号はアンド

4

説明する。第1図において、商用交流電源2の供給があり、基本電源回路1が正常に動作している場合は、基本電源回路1の直流出力電圧がCPU3及び記憶装置4に供給される。これによりCPU3及び記憶装置4によって構成されるシステムは正常に動作し、CPU3から記憶装置4に対し、必要に応じてデータの読出し、書き込み等のアクセスが行われる。また、この時記憶装置4のリフレッシュはCPU3によって行われる。すなわち、CPU3が動作している状態では、CPU3から信号ラインbを介して第2図に詳細を示す記憶装置13に送出するCPU動作信号がアクティブ（“1”）となっている。従ってリフレッシュアドレス選択器12はアドレスバス8側を選択するように動作する。また、CPU動作信号によってアンド回路14が指定されると共に、インバータ15の出力が“0”となってアンド回路16の出力が禁止される。この状態において、CPU3から信号ラインcを介して第3図(c)に示すリフレッシュ要求信号が送られてくると第3

6

(d)に示すようにアンド回路14から出力され、リフレッシュアドレスカウンタ11のロード端子Lへ入力される。この結果、リフレッシュアドレスカウンタ11へCPU3から送られてくるリフレッシュアドレスがロードされる。また、上記CPUリフレッシュアドレスはリフレッシュアドレス選択器12を介して記憶素子13へ送られる。一方、上記アンド回路14を介して出力されるリフレッシュ要求信号は、第3図(e)に示すようにオア回路17を介して出力され、リフレッシュ制御回路18へ送られる。これによりリフレッシュ制御回路18が動作し、記憶素子13へ制御信号を出力する。上記リフレッシュアドレス選択器12から出力されるリフレッシュアドレス及びリフレッシュ制御回路18から出力されるリフレッシュ制御信号によって記憶素子13に対するリフレッシュが行われる。以下同様にCPU3からリフレッシュ要求信号が出力される毎に、CPUリフレッシュアドレスに従って記憶素子13のリフレッシュが行われる。

7

止される。従ってリフレッシュアドレスカウンタ11にはロード信号が与えられず、CPU動作信号が立下る直前に行われたリフレッシュ時のリフレッシュアドレス例えばK番地がリフレッシュアドレスカウンタ11にロードされたままとなる。また上記CPU動作信号がイナクティブ("0")となった場合、インバータ15の出力が"1"となり、アンド回路16のゲートが開かれる。このためリフレッシュ発振器19から出力されている第2図(e)に示すリフレッシュ要求信号がアンド回路16より第2図(f)に示すように出力される。このアンド回路16の出力は第3図(g)に示すようにオア回路17を介して出力され、リフレッシュ開始信号としてリフレッシュ制御回路18へ送られる。これによりリフレッシュ制御回路18が動作し、記憶素子13へリフレッシュ制御信号を出力する。また、上記アンド回路16の出力は、リフレッシュアドレスカウンタ11へカウントアップ信号として送られ、その内容を「+1」する。この結果、リフ

9

レッシュアドレスカウンタ11の内容は「K+1」となり、リフレッシュアドレス選択器12へ送られる。このリフレッシュアドレス選択器12は、CPU動作信号がイナクティブ("0")となった場合、リフレッシュアドレスカウンタ11からのアドレスデータ(K+1)を選択して記憶素子13へ入力する。従ってこの時点では記憶素子13の「K+1」のアドレスに対してリフレッシュが行われる。以下同様にリフレッシュ発振器19からアンド回路16を介してリフレッシュ要求信号が出力される毎にリフレッシュアドレスカウンタ11の内容が順次カウントアップされ、記憶素子13の順次異なるアドレスに対してリフレッシュが行われる。以上のリフレッシュ動作は、基本電源回路1の出力が正常になるまで継続される。そして、基本電源回路1の出力が正常状態に回復するとCPU3が動作を開始し、CPU動作信号がイナクティブ("0")からアクティブ("1")に変わり、前記したようにCPU3の制御によって記憶装置4のリ

8

レッシュアドレスカウンタ11の内容は「K+1」となり、リフレッシュアドレス選択器12へ送られる。このリフレッシュアドレス選択器12は、CPU動作信号がイナクティブ("0")となった場合、リフレッシュアドレスカウンタ11からのアドレスデータ(K+1)を選択して記憶素子13へ入力する。従ってこの時点では記憶素子13の「K+1」のアドレスに対してリフレッシュが行われる。以下同様にリフレッシュ発振器19からアンド回路16を介してリフレッシュ要求信号が出力される毎にリフレッシュアドレスカウンタ11の内容が順次カウントアップされ、記憶素子13の順次異なるアドレスに対してリフレッシュが行われる。以上のリフレッシュ動作は、基本電源回路1の出力が正常になるまで継続される。そして、基本電源回路1の出力が正常状態に回復するとCPU3が動作を開始し、CPU動作信号がイナクティブ("0")からアクティブ("1")に変わり、前記したようにCPU3の制御によって記憶装置4のリ

10

フレッシュ制御が行われる。

このように本発明によれば、リフレッシュの制御がCPU 3から記憶装置4自身に移るとき、リフレッシュアドレスカウンタ11によってリフレッシュアドレスの引継ぎを行うようにしているので、記憶素子13の記憶内容の保持を確実に行うことができる。すなわち、リフレッシュアドレスをロビット、リフレッシュ周期を T_{REF} とした場合、あるアドレスにおいて、リフレッシュが T_{REF} 以上行われないと、そのアドレスの記憶内容は揮発してしまう。この場合、0から 2^n-1 までのアドレスに対し、 $T_{REF}/2^{n-1}$ ごとに1アドレスのリフレッシュを行うのが一般的なリフレッシュ方式である。このようなリフレッシュ方式を用いている場合に、リフレッシュ制御の移行に際してリフレッシュアドレスの引継ぎが行われないと、一部のアドレスに対して T_{REF} 以上リフレッシュが行われないう可能性が大きい。しかし、本発明では上記したようにリフレッシュ制御の移行に際してリフレッシュア

11

18…リフレッシュ制御回路、19…リフレッシュ発振器。

出願人代理人 弁理士 鈴 江 武 彦

特開昭56-101691(4)

ドレスカウンタ11によりリフレッシュアドレスの引継ぎを行っているので、各アドレスに対するリフレッシュを T_{REF} 以内で行うことができ、記憶内容を確実に保持することができる。

また、本発明では基本電源回路1の出力が正常の時はCPU 3によって記憶装置4のリフレッシュ制御を行っているので、リフレッシュを効果的に行うことができる。さらに、バッテリバックアップ中では、記憶装置自身でリフレッシュを行っているので、CPU 3の電源をバックアップする必要はなく、バックアップ中の電力消費を少なくすることができる。

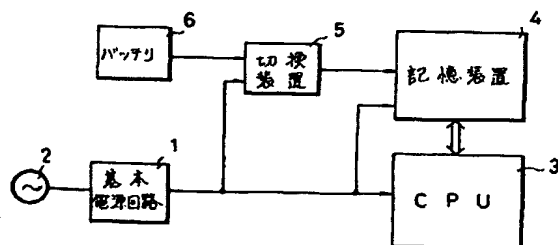
4. 図面の簡単な説明

図面は本発明の一実施例を示すもので、第1図は全体の構成を示すブロック図、第2図は第1図における記憶装置の詳細を示す回路構成図、第3図は動作を説明するためのタイミングチャートである。

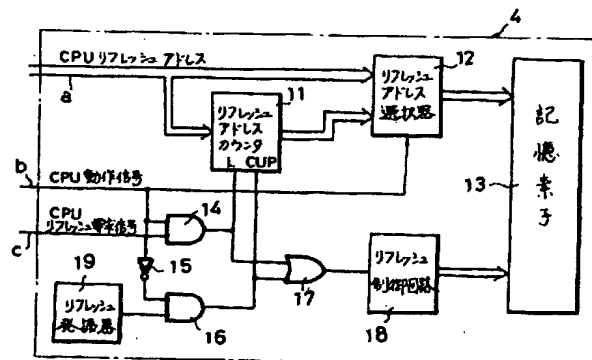
1…基本電源回路、4…記憶装置、11…リフレッシュアドレスカウンタ、13…記憶素子、

12

第1図

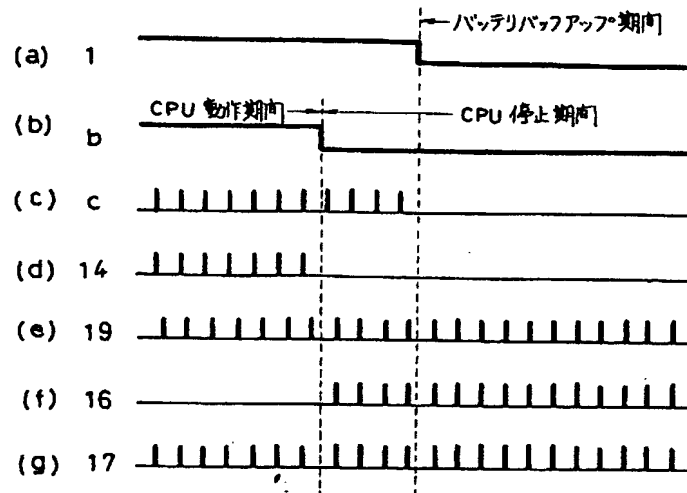


第2図



13

第 3 図

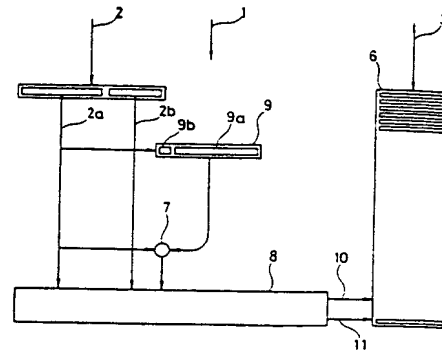


(54) MEMORY DEVICE

(11) 3-25785 (A) (43) 4.2.1991 (19) JP
 (21) Appl. No. 64-160458 (22) 22.6.1989
 (71) MITSUBISHI ELECTRIC CORP (72) TAKASHI YOKOTA(1)
 (51) Int. Cl⁵. G11C11/401, G06F12/00, G11C7/00

PURPOSE: To delete a fast storage element and to effectively use a storage element large in capacity and low in speed by comparing the present input address with its history register by a comparison means, and controlling the storage element based on a comparison result.

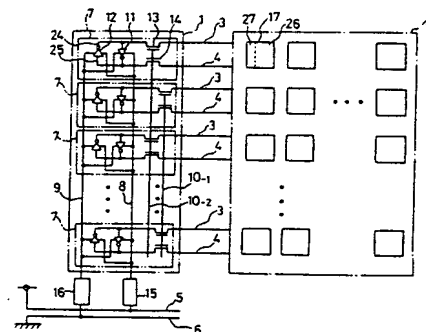
CONSTITUTION: When an access control signal 1 and address input 2 are supplied and access is started, a preceding row address 9a in a register 9 is compared with a present row address 2a in the input 2 at a comparator 7. When noncoincidence between the addresses 2a and 9a is obtained, the comparator 7 outputs (noncoincidence), and precharges a DRAM 6, and returns the row address 2a and a column address 2b sequentially, and performs prescribed access according to the signal 1. At this time, a control circuit 8 applies the optimum control on the storage element 6, and deletes the fast storage element. The large amount of storage is performed by arranging the memory devices in parallel, and also, memory capacity can be set and changed freely, which attains the effective use of the storage element with low speed.

**(54) SEMICONDUCTOR MEMORY DEVICE**

(11) 3-25787 (A) (43) 4.2.1991 (19) JP
 (21) Appl. No. 64-161231 (22) 23.6.1989
 (71) MITSUBISHI ELECTRIC CORP (72) TAKESHI HAMAMOTO(1)
 (51) Int. Cl⁵. G11C11/401

PURPOSE: To reduce a through current and power consumption and to easily perform inversion transfer by providing load elements at common power source wiring and ground wiring in an array.

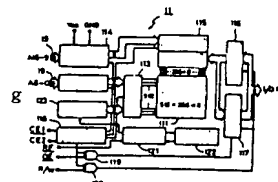
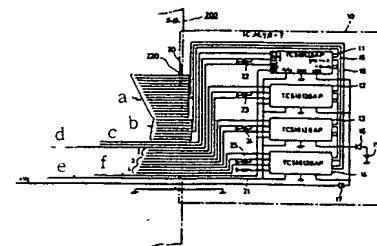
CONSTITUTION: Data transfer are performed in (m) second memory cells 7-1, ..., 7-m since first and second MOS transistors 13-1, 14-1..., 13-m, and 14-m are turned on simultaneously, however, assuming that m' second memory cells in which the inversion transfer are performed exist, a current of m' times intends to flow on a load resistor 16, therefore, the potential of the ground wiring 9 rises remarkably. Similarly, the potential of the power source wiring in the array is decreased remarkably less than a power source level by a load resistor 15. Therefore, potential difference between the source and gate and between the source and drain of each of an Nch TR 30, an Nch TR 31, a Pch TR 32, and Pch TR 33 is decreased, which makes it hard to turn on. Therefore, the through current that flows from the common power source wiring 5 to the ground via the load resistors 15 and 16 can be suppressed.

**(54) MEMORY DEVICE**

(11) 3-25788 (A) (43) 4.2.1991 (19) JP
 (21) Appl. No. 64-161662 (22) 23.6.1989
 (71) NIPPON STEEL CORP (72) TAMIO SAITO
 (51) Int. Cl⁵. G11C11/403, G06K19/07, G11C7/00

PURPOSE: To hold data continuously by automatically refreshing a dynamic RAM with a reproduction holding means when an IC memory card is removed from a master circuit.

CONSTITUTION: The impartation of information or the processing of output information is performed by connecting the dynamic RAM 111 to store the information to the master circuit 200. At this time, the RAM 111 is refreshed by removing the IC memory card 10 from the master circuit 200. At a state of disconnection, resistors 21-25 that are signal output means output a signal of prescribed mode, and a clock generator 118, a refresh controller 121, a refresh timer 122, and a refresh counter 123 reproduce and hold the information stored in the RAM 111 replying to the above output. Thus, since the RAM 111 can be automatically refreshed from the master circuit 200, the data can be prevented from dissipation as far as a battery 15 supplies a voltage.



113: row decoder, 114: column address buffer, 115: column decoder, 116, 117: data input buffer, 118: clock generator, a: address 219, b: data 218, c: chip enable 1, d: output enable 1, e: read/write signal, f: refresh signal, g: row address buffer

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-25788

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)2月4日

G 11 C 11/403
G 06 K 19/07
G 11 C 7/00

3 1 5

7131-5B
8323-5B
6711-5B

G 11 C 11/34
G 06 K 19/00

3 6 3 M
J

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 メモリ装置

⑯ 特 願 平1-161662

⑰ 出 願 平1(1989)6月23日

⑱ 発 明 者 斎 藤 民 雄 東京都千代田区大手町2-6-3 新日本製鐵株式会社内
⑲ 出 願 人 新日本製鐵株式会社 東京都千代田区大手町2丁目6番3号
⑳ 代 理 人 弁理士 杉 信 興

明 細 書

1. 発明の名称

メモリ装置

2. 特許請求の範囲

情報を記憶するためのダイナミックRAMと、
このダイナミックRAMに記憶されるべき情報の付与またはこのダイナミックRAMから出力された情報の処理をする制御回路に接続するための接続手段と、

上記接続手段が前記制御回路と非接続のとき所定態様の信号を出力する信号出力手段と、

この信号出力手段から出力された所定態様の信号に応答して上記ダイナミックRAMに記憶されている情報を再生保持するための再生保持手段と、

この再生保持手段および上記ダイナミックRAMに動作電圧を与える電源手段と、
を備えるメモリ装置。

3. 発明の詳細な説明

本発明は、データの読み、書きを行なう制御回路に着脱自在の半導体メモリ装置に関し、特に、こ

れに限る意図ではないが、いわゆるICカードまたはメモリカードと称される装置に関する。

例えばICカードには、CPUおよび半導体メモリ等一応のコンピュータ機能要素を内蔵し、演算など高度データ処理機能を有するもの、および単に半導体メモリおよび読み書き制御回路を内蔵するものがある。本発明は、ICカードの実施態様においては、後者のタイプのICカードに関する。

該後者のタイプのICカードには従来、半導体メモリとしてROMを用いるもの、PROMを用いるもの、EEPROMを用いるもの、およびS-RAM(スタティックRAM)を用いるものがある。ROM、PROMあるいはEEPROMを用いるものでは、簡易かつ高速の情報の書き込みができないので、カード製造後にユーザが書き込み(データ更新)を行なう態様の用途には適しない。この点S-RAMを用いるものは、データの読み/書きが簡易かつ高速であるので、ユーザがデータの書き込み(書き替え)を行なう態様に適してい

る。

〔発明が解決しようとする課題〕

しかしながらS-RAMは、チップ面積当りの記憶ビット数が少い、データ読み書き速度が遅い、およびメモリ装置が高価になる、という問題がある。例えば、CCDカメラの撮影データをICカードに書込んで、これをパーソナルコンピュータに入力して、CRTに表示するとか、グラフィック処理を施すとか、あるいはフロッピーディスクに記録したり、ICカードをプリンタのリーダーに装着してメモリ画像をプリントアウトするなど、ICカードを一時的な画像データ保存手段として用いる場合、S-RAMの低メモリ密度および高価格は、カードの小型化および低価格化を妨げることになる。

この点ダイナミックRAM(D-RAM)は、高メモリ密度および低価格であるので、一応上述のごとき用途に適するが、所定単位時間以下の周期でリフレッシュして、記憶されている情報を再生保持する必要がある、カードを親回路(CCD

カメラの画像データ処理回路、パーソナルコンピュータの画像データ処理回路、プリンタのリーダー等、ICカードにデータを書込む装置および又はデータを読出す装置)に接続しているときには親回路がリフレッシュするのでデータは消失しないが、ICカードを親回路から外すとデータが消失してしまうという問題がある。

本発明は、高メモリ容量(高実装密度)かつ低価格で、親回路に対して着脱するメモリ装置を提供し、かつ親回路から外しているときのデータの消失を防止することができるメモリ装置を提供することを目的とする。

〔課題を解決するための手段〕

最近、D-RAMメモリアレイに読み書き制御回路および再生保持手段を組み込んだ、大メモリ容量、高速読み書きおよび低電力消費のメモリICが提供されている。再生保持手段は、その入力端に所定態様の電気信号が到来するとD-RAMメモリアレイのリフレッシュを行なう。

そこで本発明においてはこのようなメモリIC

を用い、かつ、メモリ装置を親回路に接続するための接続手段が非接続のとき再生保持手段に前記所定態様の電気信号を与える信号出力手段を備える。

すなわち本発明のメモリ装置は、情報を記憶するためのダイナミックRAM(111)と、このダイナミックRAM(111)に記憶されるべき情報の付与またはこのダイナミックRAM(111)から出力された情報の処理をする親回路(200)に接続するための接続手段(20)と、接続手段(20)が親回路(200)と非接続のとき所定態様の信号を出力する信号出力手段(21~25)と、この信号出力手段(21~25)から出力された所定態様の信号に反応してダイナミックRAM(111)に記憶されている情報を再生保持するための再生保持手段(121~123)と、この再生保持手段(121~123)およびダイナミックRAM(111)に動作電圧を与える電源手段(15)と、を備える。

なおカッコ内の記号は、図面に示し後述する本発明の実施例の対応要素又は対応信号を示すものである。

〔作用〕

このメモリ装置が親回路(200)から分離しているときには、信号出力手段(21~25)が、再生保持手段(118,121~123)に所定態様の電気信号(CE2およびREFが8000ns以上L)を与え、再生保持手段(121~123)が、ダイナミックRAM(111)の記憶をリフレッシュ(再生保持)する。したがってメモリ装置が親回路(200)から外されると自動的にリフレッシュが行なわれるようになり、親回路(200)から外れているときもリフレッシュによりデータが継続して保持される。

このようにメモリ素子にダイナミックRAMを用い、かつ、親回路(200)から外れているときにもダイナミックRAMのデータが保存されるので、例えば画像メモリとしての小型かつ高速読み書きのできるICメモリカードを低価格で提供しうる。

本発明の他の目的および特徴は、図面を参照した以下の実施例の説明より明らかになる。

〔実施例〕

第1図に本発明の一実施例であるICメモリカード10の回路構成を示す。所要の電気導体パターンが形成されたプリント基板には、4個のICメモリ11~14が装着されて電気導体パターンと接続されている。電気導体パターンの端部には、この実施例ではコネクタピン20が接続されている。ICメモリカード10にデータを書込みあるいはそれからデータを読み出す機器（例えばCCDカメラ本体、パーソナルコンピュータ、プリンタの画情報リーダー等、以下単に本体という）200の、データ処理信号ライン（メモリ読み書き制御用のアドレスライン、データラインおよび制御信号ライン）の端部に、コネクタピン20を受ける受け導体220が接続されている。

第2図に、ICメモリ11の内部機能構成を示す。ICメモリ11は、東芝製のTC518128APであり、メモリアレイ111は、512×256ワード×8ビット構成のD-RAMである。再生保持手段に所定態様の電気信号を与える信号出力手段であるリフレッシュコントローラ121、前述の信号出力手段

の時間を制御するリフレッシュタイマー122およびリフレッシュカウンタ123をICメモリ11は内蔵している。

メモリアレイ111へのデータの書込みは第3a図に示すように制御信号 $\overline{CE1}$ 、CE2、 \overline{OE} 、R/Wおよび \overline{RF} をコントロールすることにより行なわれる。

なお本書において、アンダーラインはロー(L)アクティブを意味する。

また、メモリアレイ111よりのデータの読出しは、第3b図に示すように制御信号 $\overline{CE1}$ 、CE2、 \overline{OE} 、R/Wおよび \overline{RF} をコントロールすることにより行なわれる。

ICメモリ11は、第3c図に示すように制御信号 $\overline{CE1}$ 、CE2、 \overline{OE} 、R/Wおよび \overline{RF} がコントロールされると、リードサイクルと同程度のサイクルで、データを読出しかつ読み出したアドレスにデータを書込む。

ICメモリ11（東芝製TC518128AP）の、クロックゼネレータ118、リフレッシュコントローラ121、リフレッシュタイマー122およびリフレッシュカウ

ンタ123は、3つのモードでメモリアレイ111をリフレッシュする。

第1のリフレッシュモードは、メモリアレイ111の指定領域（アドレス）のみのリフレッシュを選択的行なうためのものであり、第4a図に示すように、 $\overline{CE1}=L$ 、CE2=Hおよび $\overline{RF}=H$ とすると、アドレスデータ(A0~A8)で指定されたメモリ領域のみをリフレッシュする。

第2のリフレッシュモードはメモリアレイ111全体のリフレッシュを行なうものであり、第4b図に示すように、 $\overline{CE1}=H$ 又はCE2=Lで、 $\overline{RF}=L$ の継続時間が8000ns以下で \overline{RF} にパルス信号が到来するとこれに反応してリフレッシュを行なう。

第3のリフレッシュモードもメモリアレイ111全体のリフレッシュを行なうものであり、第4c図に示すように、 $\overline{CE1}=H$ 又はCE2=Lで、 $\overline{RF}=L$ が8000nsを越えて継続するとき所定周期でリフレッシュを行なう。

再度第1図を参照する。ICメモリ12~14もICメモリ11と同一製品であり、同様に動作

する。ICメモリ11~14のアドレスライン(A0~A16)は共通接続されてコネクタピン20に接続されており、データライン(I/O 1~I/O 8)およびリフレッシュライン(\overline{RF})も共通接続されてコネクタピン20に接続されている。電源電圧ライン(VDD)も共通接続されてダイオード16を介して1次電池15に接続されかつダイオード17を介してコネクタピン20(の電源接続ピン)に接続されている。チップセレクト信号ライン($\overline{CE1}$, CE2)および出力セレクト信号ライン(\overline{OE})は、各別個にコネクタピン20に接続されている。プリント基板の共通アース線もコネクタピン20(のアース接続ピン)に接続されている。

この実施例では、ICメモリカード10を本体200から外しているときにメモリアレイ111に記憶されているメモリデータを保持するための動作であるリフレッシュを、前述の第3のリフレッシュモードで行なうために、ICメモリ11~14のリフレッシュ信号ライン(\overline{RF})の共通接続線を抵抗21を介して共通アース線に接続し、かつ、

ICメモリ11~14のチップセレクト信号ラインCE2のそれぞれを、抵抗22~24のそれぞれを介して共通アース線に接続している。これにより、ICメモリカード10のコネクタピン20が本体200の受け導体220から外れると、ICメモリ11~14のリフレッシュ信号ライン(RF)が自動的にLとなり、しかも、ICメモリ11~14のチップセレクト信号ラインCE2のそれぞれが自動的にLとなる。これにより、CE2=Lで、RF=Lが8000nsを越えて継続するという第3のリフレッシュモードを実行する条件が、ICメモリ11~14のそれぞれで成立し、それぞれにおいてリフレッシュコントローラ(121)が、所定期間でメモリアレイ(111)のリフレッシュを行なう。したがって、ICメモリカード10が本体200から外れている間、電池15が所定範囲の電圧を供給している限り、メモリアレイ(111)のメモリデータが保存される。

この実施例ではこのように、単純な抵抗を用いてカード10が本体200から外れているときに

を2次電池および又は太陽電池にしてもよい。またコネクタ(20+220)は、非接触タイプとしてもよい。又、ICメモリ(11~14)として、524288ワード×8ビット擬似SRAMとして、日立製HM658512シリーズや、他の擬似SRAMを用いても良い。

いずれにしても上記のメモリ装置(10)では、それが親回路(200)から分離しているときには、信号出力手段(21~25)が、再生保持手段(118,121~123)に所定レベルの電気信号(CE2およびRFが8000ns以上L)を与え、再生保持手段(121~123)が、ダイナミックRAM(111)をリフレッシュする。したがってメモリ装置(10)が親回路(200)から外されると自動的にリフレッシュが行なわれるようになり、親回路(200)から外れているときもリフレッシュによりデータが継続して保持される。

このように親回路(200)から外れているときにもメモリ装置(10)のデータが保存されるので、例えば画像メモリとしての小型かつ高速読み書きのICメモリカードを低価格で提供しうる。

〔発明の効果〕

リフレッシュ指示信号を発生するようにしているので、カード構成が簡単である。

ICメモリカード10がコネクタピン20および受け導体220を介して本体200のデータ処理回路に接続されているときには、ICメモリカード10に対して該データ処理回路が所要のデータ書き込みおよび又はデータ読出しを行ない、かつ必要なタイミングでリフレッシュ信号をICカード10に与える。なお、本体200は、ICメモリカード10をアクセスしないときには、CE2=L、RF=LをICメモリカード10に継続して出力するので、その間ICメモリカード10は第3のリフレッシュモードのリフレッシュを行なって自己のメモリデータを保持する。ICメモリカード10が本体200に接続されているときには、本体200の電源ラインの電圧+VccがICメモリ11~14に与えられ、電池15の電力消費は小さい。

なお上記実施例ではICメモリカード10の電源手段として1次電池15を用いているが、これ

以上説明したように本発明によれば高メモリかつ低価格であって親回路から着脱でき、しかも親回路から外れているときのデータの消失を防止することができるメモリ装置を提供することができる。

4. 図面の簡単な説明

第1図は、本発明の一実施例の構成を示す電気回路図である。

第2図は、第1図に示すICメモリ11の内部機能構成を示すブロック図である。

第3a図は、第2図に示すICメモリ11の書き込みサイクルを示すタイムチャートである。

第3b図は、第2図に示すICメモリ11の読出しサイクルを示すタイムチャートである。

第3c図は、第2図に示すICメモリ11の読み出しと書き込みを同一サイクルで行なう読み書きサイクルを示すタイムチャートである。

第4a図は、第2図に示すICメモリ11の第1のモードのリフレッシュサイクルを示すタイムチャートである。

第4b図は、第2図に示すICメモリ11の第2のモードのリフレッシュを行なう信号条件を示すタイムチャートである。

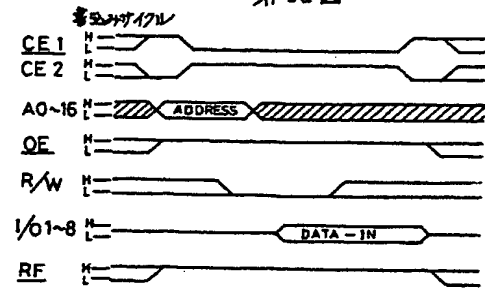
第4c図は、第2図に示すICメモリ11の第3のモードのリフレッシュを行なう信号条件を示すタイムチャートである。

- 10: ICメモリカード(メモリ装置) 11~14: ICメモリ
 15: 電池(電源手段) 16,17: ダイオード
 18: データライン 19: アドレスライン
 20: コネクタピン(接続手段)
 21~25: 抵抗(信号出力手段)
 111: メモリアレイ(ダイナミックRAM)
 (118,121~123: 再生保持手段)

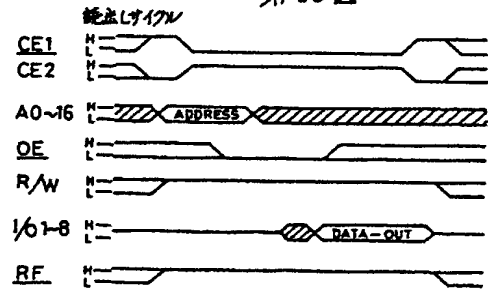
特許出願人 新日本製鐵株式会社

代理人 井理士 杉 信 興

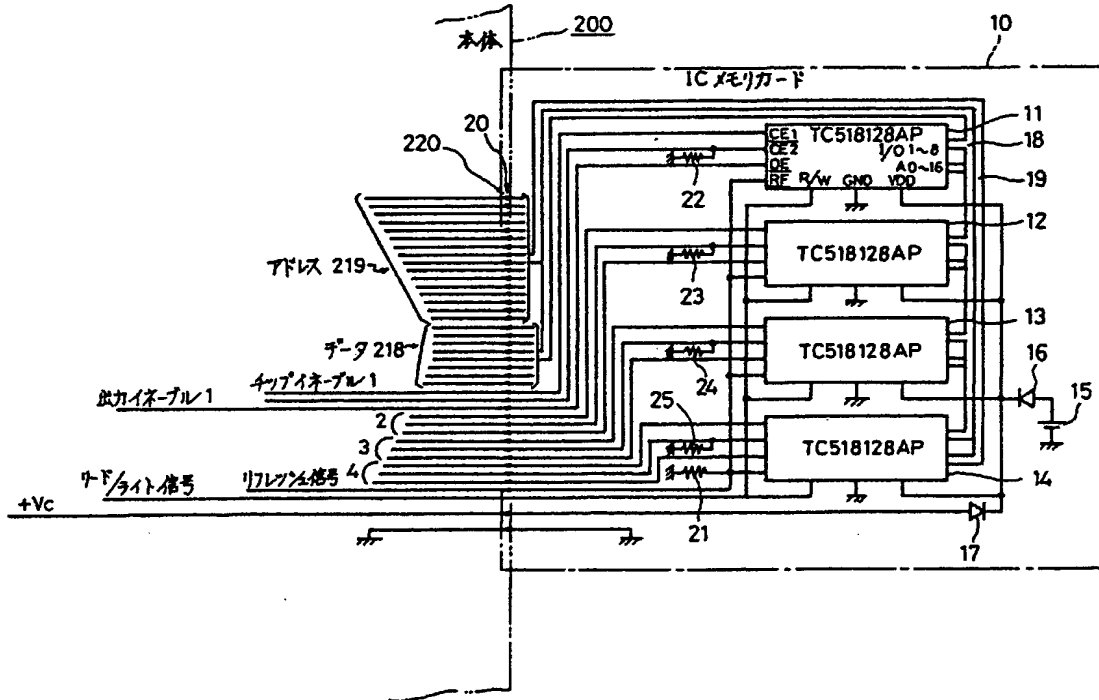
第3a図



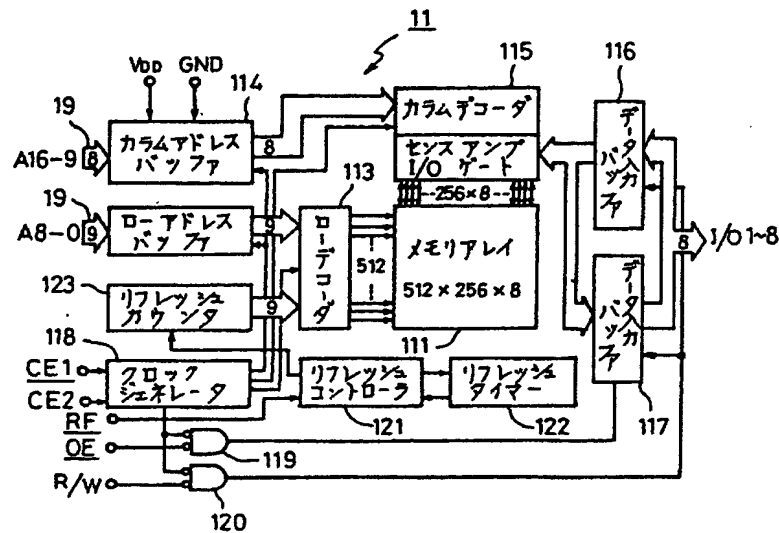
第3b図



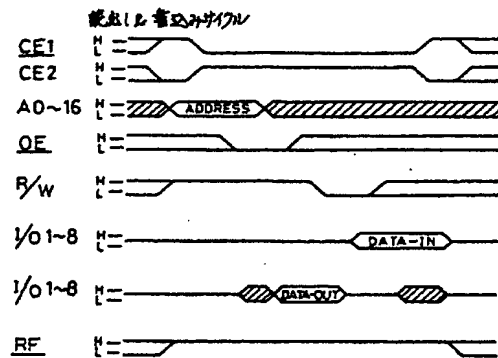
第1図



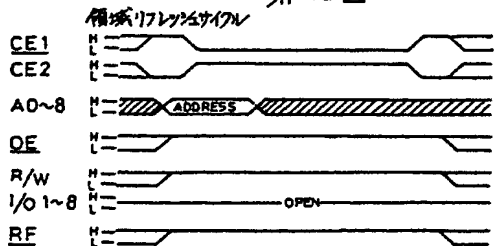
第 2 図



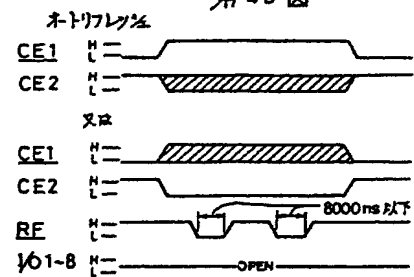
第 3c 図



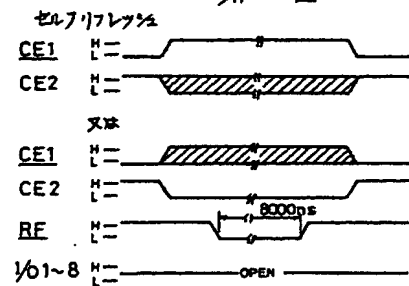
第 4a 図



第 4b 図



第 4c 図





PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11144455 A**(43) Date of publication of application: **28 . 05 . 99**

(51) Int. Cl.

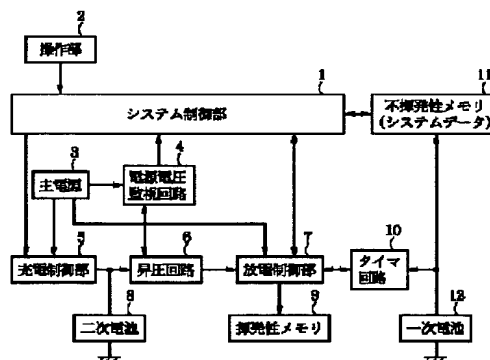
**G11C 11/401
G06F 12/16**(21) Application number: **09310191**(71) Applicant: **CANON INC**(22) Date of filing: **12 . 11 . 97**(72) Inventor: **KIKUCHI AKITOSHI**(54) **MEMORY BACKUP CONTROL APPARATUS AND METHOD**

COPYRIGHT: (C)1999,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To set in flexible the optimum backup power feeding period depending on various secondary battery characteristic and memory environment by providing a memory backup control apparatus for variably setting the backup power feeding period from the secondary battery.

SOLUTION: Backup power feeding period from the main power supply or chargeable secondary battery 8 can be controlled from a manipulating section 2 for a volatile memory holding the data. A timer circuit 10 for counting the backup power feeding period preset by the manipulating section 2 or backup power feeding period stored in a non-volatile memory 11 and a means for cutting off the backup power feeding from the secondary battery during the counting are provided. Therefore, since the backup power feeding period can be adjusted, even if the backup power feeding period is varied in the memory environment, the secondary battery can be protected from over-discharging condition. Moreover, the volatile memory 11 is also provided with a plurality of memory chips or cards to supply the backup current to each memory unit.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-144455

(43) 公開日 平成11年(1999) 5月28日

(51) Int.Cl.⁶

G 1 1 C 11/401

G 0 6 F 12/16

識別記号

3 4 0

F I

G 1 1 C 11/34

G 0 6 F 12/16

3 7 1 G

3 4 0 F

審査請求 未請求 請求項の数11 O L (全 12 頁)

(21) 出願番号 特願平9-310191

(22) 出願日 平成9年(1997)11月12日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 菊池 明彦

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

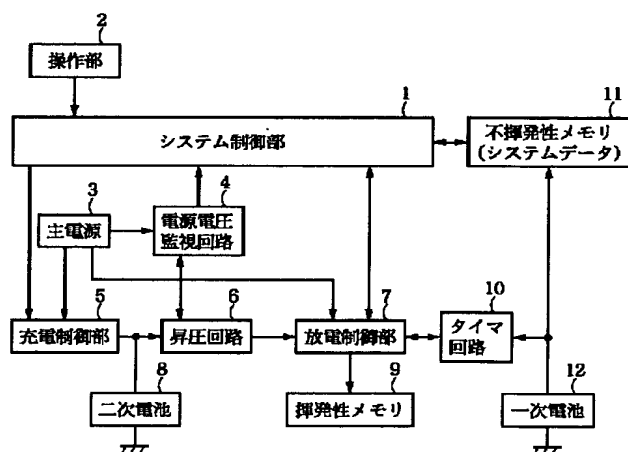
(74) 代理人 弁理士 小林 将高

(54) 【発明の名称】 メモリバックアップ制御装置およびメモリバックアップ制御方法

(57) 【要約】

【課題】 バックアップ電源供給時間を可変設定することである。

【解決手段】 二次電池8からのバックアップ電源供給時間を操作部2より設定する構成を特徴とする。



【特許請求の範囲】

【請求項 1】 データを保持する揮発性メモリに対して、主電源または充放電可能な二次電池からのバックアップ電源供給を制御するメモリバックアップ制御装置であって、

前記二次電池からのバックアップ電源供給時間を可変設定する設定手段を有することを特徴とするメモリバックアップ制御装置。

【請求項 2】 前記設定手段により設定されたバックアップ電源供給時間を記憶する記憶手段と、

前記主電源がオフ状態に切り替わってから、前記設定手段により設定されたバックアップ電源供給時間または前記記憶手段に記憶されたバックアップ電源供給時間を計時する計時手段と、

前記計時手段の計時終了状態に基づいて前記二次電池からのバックアップ電源供給を遮断する遮断制御手段と、を有することを特徴とする請求項 1 記載のメモリバックアップ制御装置。

【請求項 3】 前記揮発性メモリは、複数のメモリチップまたはメモリカードを備え、

前記メモリチップ単位またはメモリカード単位毎にバックアップ電流を供給することを特徴とする請求項 1 または 2 記載のメモリバックアップ制御装置。

【請求項 4】 データを保持する揮発性メモリに対して、主電源または充放電可能な二次電池からの電源供給を制御するメモリバックアップ制御装置であって、

前記二次電池の電圧を検出する電圧検出手段と、前記二次電池の電圧変動に対応するバックアップ電源供給時間テーブルを記憶するテーブルメモリと、

前記電圧検出手段により検出される前記二次電池の電圧と前記テーブルメモリに記憶されるバックアップ電源供給時間テーブルとに基づいて前記二次電池からのバックアップ電源供給時間を可変設定する設定手段と、を有することを特徴とするメモリバックアップ制御装置。

【請求項 5】 前記テーブルメモリは、二次電池の種類に応じて複数のバックアップ電源供給時間テーブルを記憶していることを特徴とする請求項 4 記載のメモリバックアップ制御装置。

【請求項 6】 前記主電源がオフ状態に切り替わってから、前記設定手段により設定された電源供給時間または前記バックアップ電源供給時間テーブルに記憶された電源供給時間を計時する計時手段と、

前記計時手段の計時終了状態または前記電圧検出手段により検出される前記二次電池の電圧状態で決定されるバックアップ電源遮断条件を満たすかどうかを判定する判定手段と、

前記判定手段が前記バックアップ電源遮断条件を満たすと判定した場合に、前記二次電池からの電源供給の遮断状態を制御する制御手段と、を有することを特徴とする請求項 4 記載のメモリバックアップ制御装置。

【請求項 7】 データを保持する揮発性メモリに対して、主電源または充放電可能な二次電池からの電源供給を制御するメモリバックアップ制御装置であって、前記二次電池に定電流または定電圧を供給して充電する充電手段と、

前記二次電池の電圧を検出する電圧検出手段と、前記電圧検出手段が検出した前記二次電池の電圧が設定される充電切替電圧を超えた場合に、前記充電手段の充電方法を定電流充電から定電圧充電に切り替える充電制御手段と、を有することを特徴とするメモリバックアップ制御装置。

【請求項 8】 定電流充電時における定電流値を任意の値に設定可能とすることを特徴とする請求項 7 記載のメモリバックアップ制御装置。

【請求項 9】 データを保持する揮発性メモリに対して、主電源または充放電可能な二次電池からのバックアップ電源供給を制御するメモリバックアップ制御方法であって、

前記二次電池からのバックアップ電源供給時間を設定する設定工程と、

前記二次電池からのバックアップ電源供給時間の設定後、変更すべきバックアップ電源供給時間データの入力状態を確認する確認工程と、

前記確認工程により変更すべきバックアップ電源供給時間データの入力を確認した場合に、設定されているバックアップ電源供給時間データを書き替える書替工程と、を有することを特徴とするメモリバックアップ制御方法。

【請求項 10】 データを保持する揮発性メモリに対して、主電源または充放電可能な二次電池からのバックアップ電源供給を制御するメモリバックアップ制御方法であって、

前記二次電池に対して定電流充電を開始する第 1 の充電工程と、

前記二次電池の電圧を検出する電圧検出工程と、前記電圧検出工程が検出した前記二次電池の電圧が設定される充電切替電圧を超えた場合に、定電流充電に代えて定電圧充電を開始する第 2 の充電工程と、を有することを特徴とするメモリバックアップ制御方法。

【請求項 11】 データを保持する揮発性メモリに対して、主電源または充放電可能な二次電池からのバックアップ電源供給を制御するメモリバックアップ制御方法であって、

前記二次電池の電圧を検出する電圧検出工程と、前記主電源がオフ状態に切り替わってから、設定された電源供給時間または前記バックアップ電源供給時間テーブルに記憶された電源供給時間を計時する計時工程と、前記計時工程による計時終了状態または前記電圧検出工程により検出される前記二次電池の電圧状態で決定されるバックアップ電源遮断条件を満たすかどうかを判定す

る判定工程と、前記判定工程により前記バックアップ電源遮断条件を満たすと判定した場合に、前記二次電池からの電源供給を遮断する遮断工程と、を有することを特徴とするメモリバックアップ制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、データを保持する揮発性メモリに対して、主電源または充放電可能な二次電池からのバックアップ電源供給を制御するメモリバックアップ制御装置およびメモリバックアップ制御方法に関するものである。

【0002】

【従来の技術】一般に大容量のメモリを必要とするシステムでデータのバックアップをする場合、記憶素子としてDRAM（ダイナミックRAM）などの揮発性メモリを用いる。

【0003】従来のメモリバックアップ制御装置は、そのDRAMのデータを保持するためデータをリスト（再書き込み）するリフレッシュ回路、そのDRAMリフレッシュにおいてシステム動作時とバックアップ時を切り替えるセレクト、システムの電源電圧を監視する電源電圧監視回路、システムの主電源と同電圧を得るバックアップ電源回路、バックアップ電源として充電可能な二次電池、該二次電池を充電する充電回路から構成される。

【0004】このような構成において、従来、バックアップ動作は、二次電池容量が有る限り行われるか、または二次電池の過放電を防止するために電池電圧をコンパレータ等で監視し、ある一定電圧まで低下した場合、バックアップ電源を遮断していた。このため、メモリのバックアップ時間は、二次電池の容量とバックアップする揮発性メモリとその周辺回路の消費電流で決り、その二次電池の充電状態、負荷側の条件により変化していた。

【0005】また、二次電池の充電回路には一般的に定電圧充電が用いられているため、充電時間が非常に長く、主電源投入後から満充電に達するまでのバックアップ保証率は低かった。また、二次電池の充放電回路において、異なる充放電特性を有する二次電池の使用は、共通の充放電回路では無理であった。

【0006】

【発明が解決しようとする課題】従来のメモリバックアップ制御装置は上記のように構成されているので、第1にバッテリー容量の違い、バックアップメモリの消費電流の違い（メーカーによる違い、オプションのメモリ装置の有無等）によりバックアップ時間が異なることになる。バッテリーとバックアップメモリのセットとしてのバックアップ時間は、通常最大負荷の状態のバックアップ時間で保証されることになる。最大負荷時以外は、保証時間以上のバックアップを行うことになる。その場合、二次電池の過放電により寿命が短くなるという問題点があった。

【0007】第2に充電回路において、二次電池が定電圧充電の場合、放電後充電開始から満充電までの時間が非常に長く、その間の停電等による主電源の遮断に対してバックアップが保証されなくなる可能性が高くなるという問題点があった。

【0008】第3に異なる充放電特性を有する二次電池を使用する場合、共通の充放電回路では、充電電流、充電停止電圧、放電特性によるバックアップ電源供給時間の変化等の問題があり回路構成が複雑となるという問題点があった。

【0009】本発明は上記の問題点を解消するためになされたもので、本発明の目的は、放電時間の設定による二次電池保護及びバックアップメモリチップ数で変化しない保証時間の確保、短時間充電により主電源投入後から比較的短時間での主電源停止時のバックアップ保証率を上げ、充電電流調整により同一回路で容量、充放電特性の異なる二次電池を使用できるメモリバックアップ制御装置およびメモリバックアップ制御方法を提供することである。

【0010】

【課題を解決するための手段】本発明に係る第1の発明は、データを保持する揮発性メモリに対して、主電源または充放電可能な二次電池からのバックアップ電源供給を制御するメモリバックアップ制御装置であって、前記二次電池からのバックアップ電源供給時間を可変設定する設定手段を有するものである。

【0011】本発明に係る第2の発明は、前記設定手段により設定されたバックアップ電源供給時間を記憶する記憶手段と、前記主電源がオフ状態に切り替わってから、前記設定手段により設定されたバックアップ電源供給時間または前記記憶手段に記憶されたバックアップ電源供給時間を計時する計時手段と、前記計時手段の計時終了状態に基づいて前記二次電池からのバックアップ電源供給を遮断する遮断制御手段とを有するものである。

【0012】本発明に係る第3の発明は、前記揮発性メモリは、複数のメモリチップまたはメモリカードを備え、前記メモリチップ単位またはメモリカード単位毎にバックアップ電流を供給するものである。

【0013】本発明に係る第4の発明は、データを保持する揮発性メモリに対して、主電源または充放電可能な二次電池からの電源供給を制御するメモリバックアップ制御装置であって、前記二次電池の電圧を検出する電圧検出手段と、前記二次電池の電圧変動に対応するバックアップ電源供給時間テーブルを記憶するテーブルメモリと、前記電圧検出手段により検出される前記二次電池の電圧と前記テーブルメモリに記憶されるバックアップ電源供給時間テーブルとに基づいて前記二次電池からのバックアップ電源供給時間を可変設定する設定手段とを有するものである。

【0014】本発明に係る第5の発明は、前記テーブル

メモリは、二次電池の種別に応じて複数のバックアップ電源供給時間テーブルを記憶しているものである。

【0015】本発明に係る第6の発明は、前記主電源がオフ状態に切り替わってから、前記設定手段により設定された電源供給時間または前記バックアップ電源供給時間テーブルに記憶された電源供給時間を計時する計時手段と、前記計時手段の計時終了状態または前記電圧検出手段により検出される前記二次電池の電圧状態で決定されるバックアップ電源遮断条件を満たすかどうかを判定する判定手段と、前記判定手段が前記バックアップ電源遮断条件を満たすと判定した場合に、前記二次電池からの電源供給の遮断状態を制御する制御手段とを有するものである。

【0016】本発明に係る第7の発明は、データを保持する揮発性メモリに対して、主電源または充放電可能な二次電池からの電源供給を制御するメモリバックアップ制御装置であって、前記二次電池に定電流または定電圧を供給して充電する充電手段と、前記二次電池の電圧を検出する電圧検出手段と、前記電圧検出手段が検出した前記二次電池の電圧が設定される充電切替電圧を超えた場合に、前記充電手段の充電方法を定電流充電から定電圧充電に切り替える充電制御手段とを有するものである。

【0017】本発明に係る第8の発明は、定電流充電時における定電流値を任意の値に設定可能とするものである。

【0018】本発明に係る第9の発明は、データを保持する揮発性メモリに対して、主電源または充放電可能な二次電池からのバックアップ電源供給を制御するメモリバックアップ制御方法であって、前記二次電池からのバックアップ電源供給時間を設定する設定工程と、前記二次電池からのバックアップ電源供給時間の設定後、変更すべきバックアップ電源供給時間データの入力状態を確認する確認工程と、前記確認工程により変更すべきバックアップ電源供給時間データの入力を確認した場合に、設定されているバックアップ電源供給時間データを書き替える書替工程とを有するものである。

【0019】本発明に係る第10の発明は、データを保持する揮発性メモリに対して、主電源または充放電可能な二次電池からのバックアップ電源供給を制御するメモリバックアップ制御方法であって、前記二次電池に対して定電流充電を開始する第1の充電工程と、前記二次電池の電圧を検出する電圧検出工程と、前記電圧検出工程が検出した前記二次電池の電圧が設定される充電切替電圧を超えた場合に、定電流充電に代えて定電圧充電を開始する第2の充電工程とを有するものである。

【0020】本発明に係る第11の発明は、データを保持する揮発性メモリに対して、主電源または充放電可能な二次電池からのバックアップ電源供給を制御するメモリバックアップ制御方法であって、前記二次電池の電圧

を検出する電圧検出工程と、前記主電源がオフ状態に切り替わってから、設定された電源供給時間または前記バックアップ電源供給時間テーブルに記憶された電源供給時間を計時する計時工程と、前記計時工程による計時終了状態または前記電圧検出工程により検出される前記二次電池の電圧状態で決定されるバックアップ電源遮断条件を満たすかどうかを判定する判定工程と、前記判定工程により前記バックアップ電源遮断条件を満たすと判定した場合に、前記二次電池からの電源供給を遮断する遮断工程とを有するものである。

【0021】

【発明の実施の形態】〔第1実施形態〕図1は、本発明の第1実施形態を示すメモリバックアップ制御装置の構成を説明するブロック図であり、例えば揮発性メモリのバックアップ制御装置に対応する。

【0022】図において、1はバックアップ制御装置のシステム制御部、2は操作部で、設定データを入力する。3は主電源で、AC商用電源等からシステム電源を供給する。4は電源電圧監視回路で、システムの電源電圧の低下状態及び復帰状態を検知する。

【0023】5は充電制御部で、主電源通電時に二次電池の充電を行う。6は昇圧回路で、主電源3の停止時に二次電池8の電圧を昇圧してバックアップ電源を出力する。7は放電制御部で、主電源3とバックアップ電源の切り替えとシステム制御部1及びタイマ回路10からのデータバックアップ電源の放電を制御する。なお、二次電池8は、充放電可能に構成されている。9はDRAM等で構成される揮発性メモリである。10は時計ICなどのタイマ回路である。

【0024】11は不揮発性メモリで、操作部2から設定された設定値などのシステムデータを記憶する。なお、不揮発性メモリ11は、例えばSRAM等の不揮発性メモリ媒体で構成される。12は一次電池で、タイマ回路10と不揮発性メモリ11用の電源を供給する。

【0025】図2は、図1に示した放電制御部7の詳細構成を説明するブロック図であり、図1と同一のものには同一の符号を付してある。

【0026】図において、21は切替部で、システム制御部1からの電源切り替え信号によりDC主電源とバックアップ電源のいずれかを選択する。22は遮断回路で、バックアップメモリへの電源を遮断する。23は内部メモリで、操作部2より入力された保証時間データまたはシステム制御部1でカウントされたメモリチップ数データを格納する。

【0027】24は比較部で、時計IC等のタイマ回路10から時間データを受信して保証時間データと比較し、該比較結果に基づいて該遮断回路22に対して遮断指示を出力する。

【0028】図3は、図1に示した充電制御部5の詳細構成を説明するブロック図であり、図1と同一のものに

は同一の符号を付してある。

【0029】図において、31は切替部で、システム制御部1からの充電切り替え信号により定電流の充電方式を切り替える。32は定電圧回路、33は定電流回路で、定電流で二次電池8を充電する。34は出力電圧リミッタで、二次電池8の充電時のリミット電圧を制御する。

【0030】以下、本実施形態の特徴的構成について図1等を参照して説明する。

【0031】上記のように構成されたメモリバックアップ制御装置において、データを保持する揮発性メモリ9に対して、主電源または充放電可能な二次電池8からのバックアップ電源供給を制御するメモリバックアップ制御装置であって、前記二次電池8からのバックアップ電源供給時間を可変設定する設定手段（操作部2による）を有するので、種々の二次電池の特性やメモリ環境に応じて最適なバックアップ電源供給時間を柔軟に設定することができる。

【0032】また、前記設定手段により設定されたバックアップ電源供給時間を記憶する記憶手段（不揮発性メモリ11）と、前記主電源がオフ状態に切り替わってから、操作部2により設定されたバックアップ電源供給時間または不揮発性メモリ11に記憶されたバックアップ電源供給時間を計時するタイマ回路10と、タイマ回路10の計時終了状態に基づいて前記二次電池からのバックアップ電源供給を遮断する遮断制御手段（放電制御部7）とを有するので、バックアップ電源供給時間を調整可能となり、メモリ環境でバックアップ電源供給時間が変動しても、二次電池が過放電状態となってしまう事態を回避することができる。

【0033】さらに、揮発性メモリ11は、複数のメモリチップまたはメモリカードを備え、前記メモリチップ単位またはメモリカード単位毎にバックアップ電流を供給するので、メモリ使用環境に最適なバックアップ電流を供給することができる。

【0034】また、データを保持する揮発性メモリ9に対して、主電源または充放電可能な二次電池8からの電源供給を制御するメモリバックアップ制御装置であって、前記二次電池の電圧を検出する電圧検出手段（電源電圧監視回路4）と、前記二次電池の電圧変動に対応するバックアップ電源供給時間テーブルを記憶するテーブルメモリ（不揮発性メモリ11）と、前記電圧検出手段により検出される前記二次電池の電圧と前記テーブルメモリに記憶されるバックアップ電源供給時間テーブルとに基づいて前記二次電池からのバックアップ電源供給時間を可変設定する設定手段（システム制御部1）とを有するので、二次電池からの過放電を防止しつつ、使用するメモリ環境に左右されることない保証時間を設定できる。

【0035】さらに、前記テーブルメモリは、二次電池

8の種別に応じて複数のバックアップ電源供給時間テーブルを記憶しているので、放電時間の異なる多様な二次電池に対して最適なバックアップ電源供給時間を設定することができる。

【0036】また、前記主電源がオフ状態に切り替わってから、前記設定手段により設定された電源供給時間または前記バックアップ電源供給時間テーブルに記憶された電源供給時間を計時する計時手段（タイマ回路10）と、前記計時手段の計時終了状態または前記電圧検出手段（電源電圧監視回路4）により検出される前記二次電池の電圧状態で決定されるバックアップ電源遮断条件を満たすかどうかを判定する判定手段（比較部24）と、前記判定手段が前記バックアップ電源遮断条件を満たすと判定した場合に、前記二次電池からの電源供給の遮断状態を制御する制御手段（遮断回路22）とを有するので、二次電池の使用環境やメモリ使用状況に応じてバックアップ電源供給環境が変動しても、揮発性メモリ内のデータのバックアップ保証率を格段に高めることができる。

【0037】さらに、データを保持する揮発性メモリ9に対して、主電源3または充放電可能な二次電池からの電源供給を制御するメモリバックアップ制御装置であって、前記二次電池に定電流または定電圧を供給して充電する充電手段（充電制御部5）と、前記二次電池の電圧を検出する電圧検出手段（出力電圧リミッタ34）と、前記電圧検出手段が検出した前記二次電池の電圧が設定される充電切替電圧を超えた場合に、前記充電手段の充電方法を定電流充電（定電流回路33）から定電圧充電（定電圧回路32）に切り替える充電制御手段（切替部31）とを有するので、充放電特性が異なる二次電池であっても、同一回路構成で短時間に二次電池を充電させることができる。

【0038】また、定電流充電時における定電流値を任意の値に設定可能とするので、二次電池の充電特性に対して柔軟な定電流充電時間を設定でき、種々の二次電池を安全に急速充電させることができる。

【0039】次に、図4に示すフローチャートに従い、メモリバックアップ時間設定手順動作について説明する。

【0040】図4は、本発明に係るメモリバックアップ制御装置における第1のデータ処理手順の一例を示すフローチャートである。なお、(1)～(7)は各ステップを示す。

【0041】まず、主電源3を通电後(1)、不揮発性メモリ11に記憶されているシステムデータの1つである保証時間データをシステム制御部1で読み込み

(2)、放電制御部7に保証時間データを転送する

(3)。該保証時間データを放電制御部7の内部メモリ23に格納する(4)。

【0042】以上の設定を含めシステムの初期設定終了

後、スタンバイ状態に移行する(5)。次に、システムスタンバイ時に操作部2より保証時間データの入力があったかどうかを判定して(6)、YESならば該入力保証時間データをシステムデータが格納されている不揮発性メモリ11に書き込み(7)、再度、放電制御部7の内部メモリ23に保証時間データを転送して格納した後、ステップ(3)へ戻る。

【0043】一方、ステップ(6)で、保証時間データの入力があったと判定した場合は、ステップ(5)へ戻り、スタンバイ状態に移行する。

【0044】以下、図5に示すフローチャートを参照して、バックアップ電源用の二次電池8の充電制御手順について説明する。

【0045】図5は、本発明に係るメモリバックアップ制御装置における第2のデータ処理手順の一例を示すフローチャートである。なお、(1)～(14)は各ステップを示す。

【0046】主電源3が通電されると(1)、不揮発性メモリ11に記憶されているシステムデータ内の充電電流(リミット電流)及び定電流充電から定電圧充電に切り替え時の二次電池8の電圧データを読み込み(2)、充電制御部5に充電電流及び切り換え電圧データを転送する(3)。

【0047】次に、該充電電流データ及び切り換え電圧データを充電制御部5内の内部メモリに格納する、あるいは充電制御部5内の切替え部31で設定電流、設定電圧にセットする(4)。次いで、該充電電流及び切り換え電圧の設定後、設定された設定電流充電を開始する(5)。

【0048】以上の設定を含めシステムの初期設定終了後、スタンバイ状態に移行する(6)。次に、システムスタンバイ時に、操作部2より充電電流または切り替え電圧の入力が有ったかどうかを判定して(7)、操作部2より充電電流または切り替え電圧の入力が有ったと判定した場合は、ステップ(14)へ進み、入力された充電電流または切り替え電圧データをシステムデータが格納されている不揮発性メモリ11に書き込み、ステップ(3)に戻り、再度、充電制御部5内にデータ転送し、再セットする。

【0049】一方、ステップ(7)で操作部2より充電電流または切り替え電圧の入力がないと判定された場合は、定電流充電を継続する(8)。そして、充電制御部5で二次電池8の電圧を検知し、設定された定電流から定電圧への切り替え電圧に達しているかどうかを判定し(9)、切り替え電圧に達していると判定した場合は、定電圧充電電流に切り替え(10)、以後定電圧充電を継続する(11)。

【0050】一方、ステップ(9)で、切り替え電圧に達しないと判定した場合は、ステップ(8)へ戻り、定電流充電を継続する。

【0051】次に、定電流時と同様に定電圧充電中にスタンバイ状態となり(12)、該スタンバイ中に、充電電流または切り替え電圧の入力が有ったかどうかを判定し(13)、NOならばステップ(11)へ戻り定電圧充電を継続し、YESならば、入力された充電電流または切り替え電圧データをシステムデータが格納されている不揮発性メモリ11に書き込み(14)、ステップ(3)へ戻り、再度、充電制御部内にデータ転送し、再セットする。

10 【0052】以下、図6に示すフローチャートを参照して、主電源3の停止後のメモリバックアップ制御手順について説明する。

【0053】図6は、本発明に係るメモリバックアップ制御装置における第3のデータ処理手順の一例を示すフローチャートである。なお、(1)～(11)は各ステップを示す。

【0054】まず、主電源3が停止したら(1)、電源電圧監視回路4で電源電圧の低下を検知すると(2)、電源電圧監視回路4からの二次電池8の昇圧回路6に接続される制御線で昇圧回路6内部のDC/DCコンバータをONし、放電制御部7の出力をバックアップ電源側に切り替え、揮発性メモリ9へバックアップ電源を出力する(3)。そして、揮発性メモリ9にバックアップデータが存在する場合、バックアップデータが格納されている揮発性メモリチップを選択し(4)、メモリのバックアップ用リフレッシュ回路を起動するか、またはセルフリフレッシュ機能を有する場合、セルフリフレッシュモードに移行する(5)。

30 【0055】次に、DRAM等の揮発性メモリのバックアップ動作移行後(6)、タイマ回路10内部の時計機能を有するリアルタイムクロック(以下、RTC)ICから時間データを放電制御部7へ転送し、スタート時間をセットする(7)。

【0056】そして、一定時間間隔または逐次、RTCICより時間データを転送し(8)、スタート時間からの経過時間が設定された保証時間に達したかどうかを判定し(9)、保証時間に達していると判定した場合、放電制御部7でバックアップ電源出力を遮断し(10)、二次電池8の放電を停止する(11)。

40 【0057】〔第2実施形態〕以下、図7に示すフローチャートを参照して、第2実施形態の主電源ON及びOFF後のメモリバックアップ制御手順を説明する。

【0058】図7は、本発明に係るメモリバックアップ制御装置における第4のデータ処理手順の一例を示すフローチャートである。なお、(1)～(15)は各ステップを示す。

50 【0059】まず、主電源3の通電開始後(1)、バックアップ用揮発性メモリチップ数、またはバックアップデータが格納されている揮発性メモリチップ数をシステム制御部1で検知する(2)。

【0060】例えば、図8に示すようなDRAMチップ数に対する各種二次電池の過放電停止電圧テーブルに従い、放電停止電圧を選択し（3）、放電制御部7に選択された電圧データを転送する（4）。

【0061】次に、放電制御部7の内部メモリ23に放電停止電圧データを格納する（5）。あるいは、ハードスイッチの切り替えで放電停止電圧をセットする方法でもよい。チップ数データに変更があった場合、その度、チップ数データを変更し、放電制御部7の放電停止電圧を再セットする。

【0062】次に、主電源停止後（6）、電源電圧監視回路4で電源電圧の低下を検知すると（7）、電源電圧監視回路4からの二次電池の昇圧回路6に接続される制御線で昇圧回路6内部のDC/DCコンバータをONし、放電制御部7の出力をバックアップ電源側に切り替え、揮発性メモリ9へバックアップ電源を出力する（8）。

【0063】次に、揮発性メモリ9にバックアップデータが存在する場合、バックアップデータが格納されている揮発性メモリチップを選択し（9）、メモリのバックアップ用リフレッシュ回路を起動するか、またはセルフリフレッシュ機能を有する場合、セルフリフレッシュモードに移行する（10）。

【0064】そして、DRAM等の揮発性メモリのバックアップ動作移行後（11）、放電制御部7で二次電池8の電圧を常時監視し（12）、設定停止電圧以下かどうかを判定し（13）、設定電圧以上であると判定した場合は、ステップ（12）へ戻り、二次電池8の電圧を常時監視する。

【0065】一方、ステップ（13）で、設定電圧以下であると判定した場合、放電制御部7でバックアップ電源出力を遮断し（14）、二次電池8の放電を停止する（15）。

【0066】以下、各実施形態の特徴的構成についてさらに、図4～図7等を参照して説明する。

【0067】上記のように構成されたデータを保持する揮発性メモリに対して、主電源3または充放電可能な二次電池8からのバックアップ電源供給を制御するメモリバックアップ制御方法であって、前記二次電池8からのバックアップ電源供給時間を設定する設定工程（図4のステップ（4））、前記二次電池8からのバックアップ電源供給時間の設定後、変更すべきバックアップ電源供給時間データの入力状態を確認する確認工程（図4のステップ（6））と、前記確認工程により変更すべきバックアップ電源供給時間データの入力を確認した場合に、設定されているバックアップ電源供給時間データを書き替える書替工程（図4のステップ（7））とを有するので、使用するメモリ環境に左右されないことない保証時間を自在に可変設定できる。

【0068】また、データを保持する揮発性メモリ9に

対して、主電源または充放電可能な二次電池8からのバックアップ電源供給を制御するメモリバックアップ制御方法であって、前記二次電池に対して定電流充電を開始する第1の充電工程（図5のステップ（5））と、前記二次電池の電圧を検出する電圧検出工程（図5のステップ（9））と、前記電圧検出工程が検出した前記二次電池の電圧が設定される充電切替電圧を超えた場合に、定電流充電に代えて定電圧充電を開始する第2の充電工程（図5のステップ（10））とを有するので、充放電特性が異なる二次電池であっても、同一回路構成で短時間に二次電池を充電させることができる。

【0069】さらに、データを保持する揮発性メモリ9に対して、主電源3または充放電可能な二次電池8からのバックアップ電源供給を制御するメモリバックアップ制御方法であって、前記二次電池の電圧を検出する電圧検出工程（図7のステップ（12））と、前記主電源がオフ状態に切り替わってから、設定された電源供給時間または前記バックアップ電源供給時間テーブルに記憶された電源供給時間を計時する計時工程（図6のステップ（8））と、前記計時工程による計時終了状態または前記電圧検出工程により検出される前記二次電池の電圧状態で決定されるバックアップ電源遮断条件を満たすかどうかを判定する判定工程（図6のステップ（9）、図7のステップ（13））と、前記判定工程により前記バックアップ電源遮断条件を満たすと判定した場合に、前記二次電池からの電源供給を遮断する遮断工程（図6のステップ（10）、図7のステップ（14））とを有するので、二次電池の使用環境やメモリ使用状況に応じてバックアップ電源供給環境が変動しても、揮発性メモリ内のデータのバックアップ保証率を格段に高めることができる。

【0070】上記各実施形態によれば、電源電圧を検出する電源電圧検知手段と、充放電可能な二次電池に対し、主電源が通電中は充電し、主電源が停止中は該二次電池よりバックアップ電源を得る回路と、データを保持するメモリと、該メモリ単位数、メモリカード数を判別する手段を具備するメモリバックアップ回路に於いて、バックアップ電源供給時間を設定できる手段を備え、主電源通電時に操作部よりバックアップ時間データを入力し、放電制御部に時間データを転送する。

【0071】そして、電源電圧監視回路で電源電圧の低下を検知すると、主電源と同電圧のバックアップ電源を出力し、バックアップ用のリフレッシュ回路を起動し、メモリバックアップ動作に移動する。

【0072】メモリバックアップ動作に移動後は、タイマ回路部から定期的に時間データを転送し、設定時間データと比較する。設定時間に達したと判断されると放電制御部で揮発性メモリへのバックアップ電源の出力を遮断する。

【0073】または、バックアップ時間データの代わり

に二次電池の電池電圧を操作部より入力し、放電制御部に転送する。放電制御部で二次電池の電池電圧を監視し、設定電圧に達したらバックアップ電源の出力を遮断する。あるいは揮発性メモリのチップ数（メモリ単位、メモリカード単位）をシステム制御部でカウントし、該カウントデータからバックアップ電源の出力遮断の二次電池電圧を計算またはテーブルデータより設定する。主電源通電時は、昇圧回路のスイッチング動作及び二次電池の放電を停止し、充電回路に切り替える。二次電池への充電電流の電流値（リミット電流）及び定電流充電から定電圧充電への切り替え電圧は、操作部より入力された設定データを充電回路に転送し、リミット電流と切り替え電圧をセットするようにしたので、放電時間の設定による二次電池保護およびバックアップメモリチップ数で変化しない保証時間の確保、短時間充電により主電源投入後から比較的短い時間での主電源停止時のバックアップ率を上げ、充電電流調整により同一回路で容量、充放電特性の異なる二次電池を使用できるようになった。

【0074】

【発明の効果】以上説明したように、本発明に係る第1の発明によれば、データを保持する揮発性メモリに対して、主電源または充放電可能な二次電池からのバックアップ電源供給を制御するメモリバックアップ制御装置であって、前記二次電池からのバックアップ電源供給時間を可変設定する設定手段を有するので、種々の二次電池の特性やメモリ環境に応じて最適なバックアップ電源供給時間を柔軟に設定することができる。

【0075】第2の発明によれば、前記設定手段により設定されたバックアップ電源供給時間を記憶する記憶手段と、前記主電源がオフ状態に切り替わってから、前記設定手段により設定されたバックアップ電源供給時間または前記記憶手段に記憶されたバックアップ電源供給時間を計時する計時手段と、前記計時手段の計時終了状態に基づいて前記二次電池からのバックアップ電源供給を遮断する遮断制御手段とを有するので、バックアップ電源供給時間を調整可能となり、メモリ環境でバックアップ電源供給時間が変動しても、二次電池が過放電状態となってしまう事態を回避することができる。

【0076】第3の発明によれば、前記揮発性メモリは、複数のメモリチップまたはメモリカードを備え、前記メモリチップ単位またはメモリカード単位毎にバックアップ電流を供給するので、メモリ使用環境に最適なバックアップ電流を供給することができる。

【0077】第4の発明によれば、データを保持する揮発性メモリに対して、主電源または充放電可能な二次電池からの電源供給を制御するメモリバックアップ制御装置であって、前記二次電池の電圧を検出する電圧検出手段と、前記二次電池の電圧変動に対応するバックアップ電源供給時間テーブルを記憶するテーブルメモリと、前記電圧検出手段により検出される前記二次電池の電圧と

前記テーブルメモリに記憶されるバックアップ電源供給時間テーブルとに基づいて前記二次電池からのバックアップ電源供給時間を可変設定する設定手段とを有するので、二次電池からの過放電を防止しつつ、使用するメモリ環境に左右されることのない保証時間を設定できる。

【0078】第5の発明によれば、前記テーブルメモリは、二次電池の種別に応じて複数のバックアップ電源供給時間テーブルを記憶しているので、放電時間の異なる多様な二次電池に対して最適なバックアップ電源供給時間を設定することができる。

【0079】第6の発明によれば、前記主電源がオフ状態に切り替わってから、前記設定手段により設定された電源供給時間または前記バックアップ電源供給時間テーブルに記憶された電源供給時間を計時する計時手段と、前記計時手段の計時終了状態または前記電圧検出手段により検出される前記二次電池の電圧状態で決定されるバックアップ電源遮断条件を満たすかどうかを判定する判定手段と、前記判定手段が前記バックアップ電源遮断条件を満たすと判定した場合に、前記二次電池からの電源供給の遮断状態を制御する制御手段とを有するので、二次電池の使用環境やメモリ使用状況に応じてバックアップ電源供給環境が変動しても、揮発性メモリ内のデータのバックアップ保証率を格段に高めることができる。

【0080】第7の発明によれば、データを保持する揮発性メモリに対して、主電源または充放電可能な二次電池からの電源供給を制御するメモリバックアップ制御装置であって、前記二次電池に定電流または定電圧を供給して充電する充電手段と、前記二次電池の電圧を検出する電圧検出手段と、前記電圧検出手段が検出した前記二次電池の電圧が設定される充電切替電圧を超えた場合に、前記充電手段の充電方法を定電流充電から定電圧充電に切り替える充電制御手段とを有するので、充放電特性が異なる二次電池であっても、同一回路構成で短時間に二次電池を充電させることができる。

【0081】第8の発明によれば、定電流充電時における定電流値を任意の値に設定可能とするので、二次電池の充電特性に対して柔軟な定電流充電時間を設定でき、種々の二次電池を安全に急速充電させることができる。

【0082】第9の発明によれば、データを保持する揮発性メモリに対して、主電源または充放電可能な二次電池からのバックアップ電源供給を制御するメモリバックアップ制御方法であって、前記二次電池からのバックアップ電源供給時間を設定する設定工程と、前記二次電池からのバックアップ電源供給時間の設定後、変更すべきバックアップ電源供給時間データの入力状態を確認する確認工程と、前記確認工程により変更すべきバックアップ電源供給時間データの入力を確認した場合に、設定されているバックアップ電源供給時間データを書き替える書替工程とを有するので、使用するメモリ環境に左右されることのない保証時間を自在に可変設定できる。

【0083】第10の発明によれば、データを保持する揮発性メモリに対して、主電源または充放電可能な二次電池からのバックアップ電源供給を制御するメモリバックアップ制御方法であって、前記二次電池に対して定電流充電を開始する第1の充電工程と、前記二次電池の電圧を検出する電圧検出工程と、前記電圧検出工程が検出した前記二次電池の電圧が設定される充電切替電圧を超えた場合に、定電流充電に代えて定電圧充電を開始する第2の充電工程とを有するので、充放電特性が異なる二次電池であっても、同一回路構成で短時間に二次電池を充電させることができる。

【0084】第11の発明によれば、データを保持する揮発性メモリに対して、主電源または充放電可能な二次電池からのバックアップ電源供給を制御するメモリバックアップ制御方法であって、前記二次電池の電圧を検出する電圧検出工程と、前記主電源がオフ状態に切り替わってから、設定された電源供給時間または前記バックアップ電源供給時間テーブルに記憶された電源供給時間を計時する計時工程と、前記計時工程による計時終了状態または前記電圧検出工程により検出される前記二次電池の電圧状態で決定されるバックアップ電源遮断条件を満たすかどうかを判定する判定工程と、前記判定工程により前記バックアップ電源遮断条件を満たすと判定した場合に、前記二次電池からの電源供給を遮断する遮断工程とを有するので、二次電池の使用環境やメモリ使用状況に応じてバックアップ電源供給環境が変動しても、揮発性メモリ内のデータのバックアップ保証率を格段に高めることができる。

【0085】従って、二次電池に対して定電流充電と定電圧充電とを切り替えて充電処理でき、従来の充電時間を格段に短縮した急速充電を安全に行い、主電源投入後から比較的短い時間で主電源停止時のバックアップ保証率を上げることができる。

【0086】また、二次電池に供給すべき充電電流を自在に調整することができるので、同一回路構成で容量、条件の異なる幅広い二次電池を使用することができる。

【0087】さらに、バックアップ電源供給時間を可変設定できるため、二次電池が過放電となる事態を回避 *

* し、かつ、揮発性メモリを構成するメモリチップ数等に影響されないバックアップ保証時間を確保することができる等の効果を奏する。

【図面の簡単な説明】

【図1】本発明の第1実施形態を示すメモリバックアップ制御装置の構成を説明するブロック図である。

【図2】図1に示した放電制御部の詳細構成を説明するブロック図である。

10 【図3】図1に示した充電制御部の詳細構成を説明するブロック図である。

【図4】本発明に係るメモリバックアップ制御装置における第1のデータ処理手順の一例を示すフローチャートである。

【図5】本発明に係るメモリバックアップ制御装置における第2のデータ処理手順の一例を示すフローチャートである。

【図6】本発明に係るメモリバックアップ制御装置における第3のデータ処理手順の一例を示すフローチャートである。

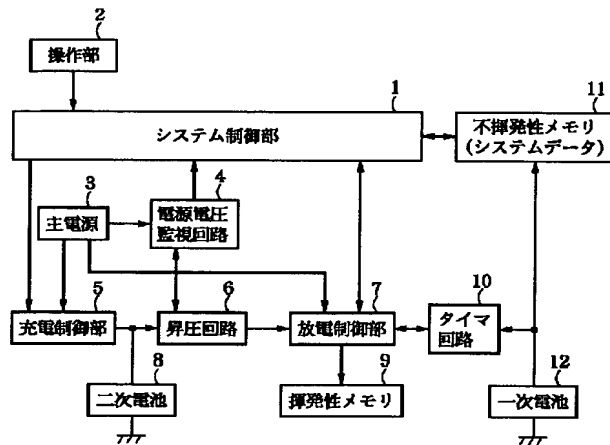
20 【図7】本発明に係るメモリバックアップ制御装置における第4のデータ処理手順の一例を示すフローチャートである。

【図8】本発明に係るメモリバックアップ制御装置における過放電停止電圧テーブルの一例を示す図である。

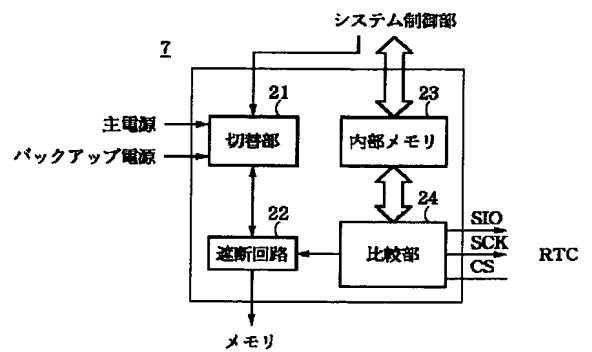
【符号の説明】

- 1 システム制御部
- 2 操作部
- 3 主電源
- 4 電源電圧監視回路
- 30 5 充電制御部
- 6 昇圧回路
- 7 放電制御部
- 8 二次電池
- 9 揮発性メモリ
- 10 タイマ回路
- 11 不揮発性メモリ
- 12 一次電池

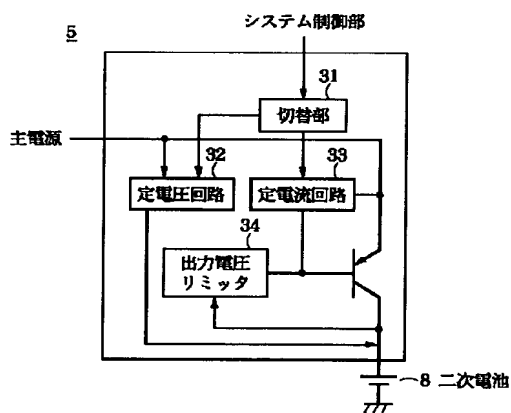
【図 1】



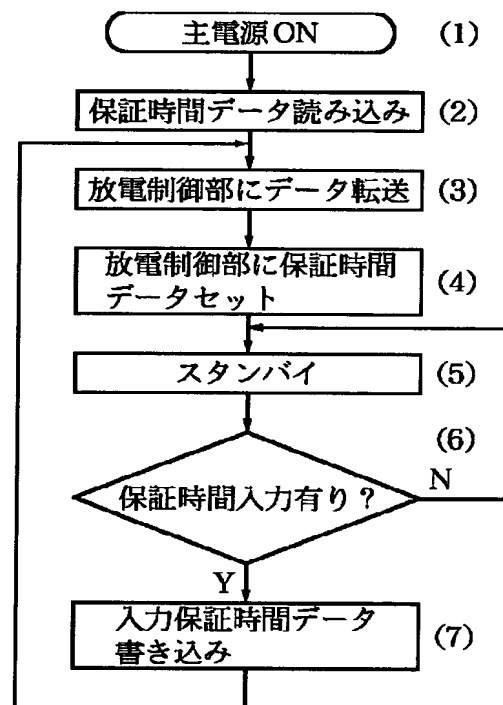
【図 2】



【図 3】



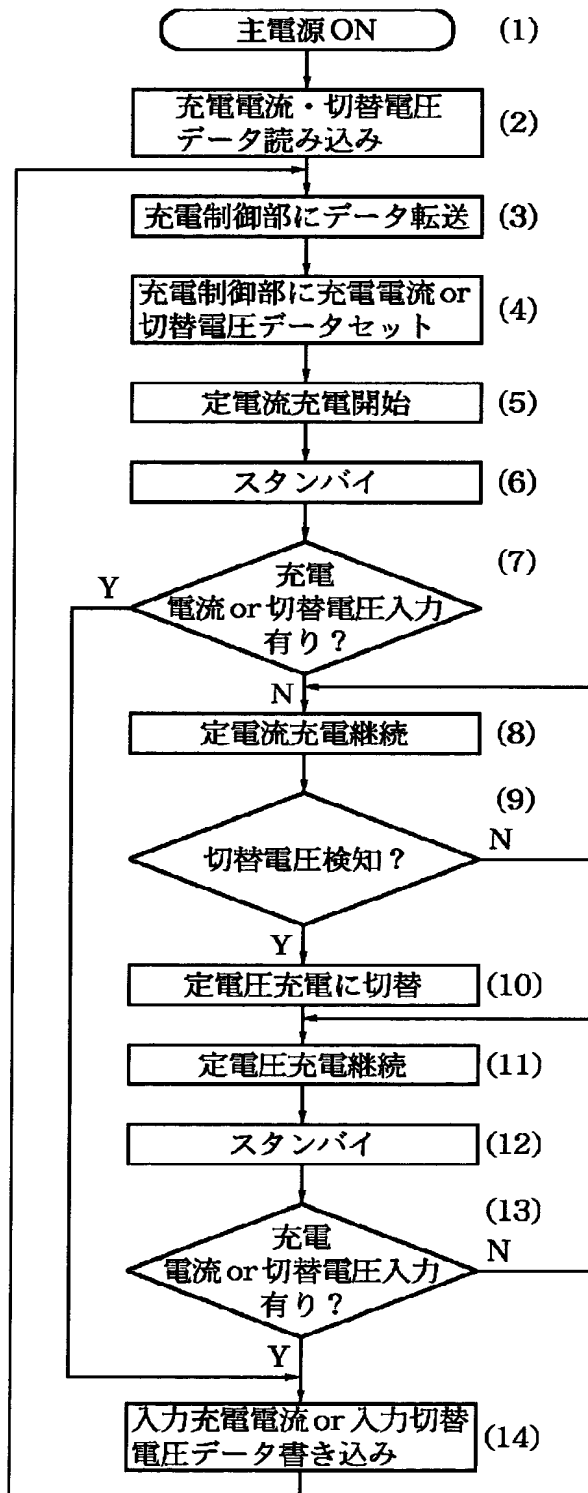
【図 4】



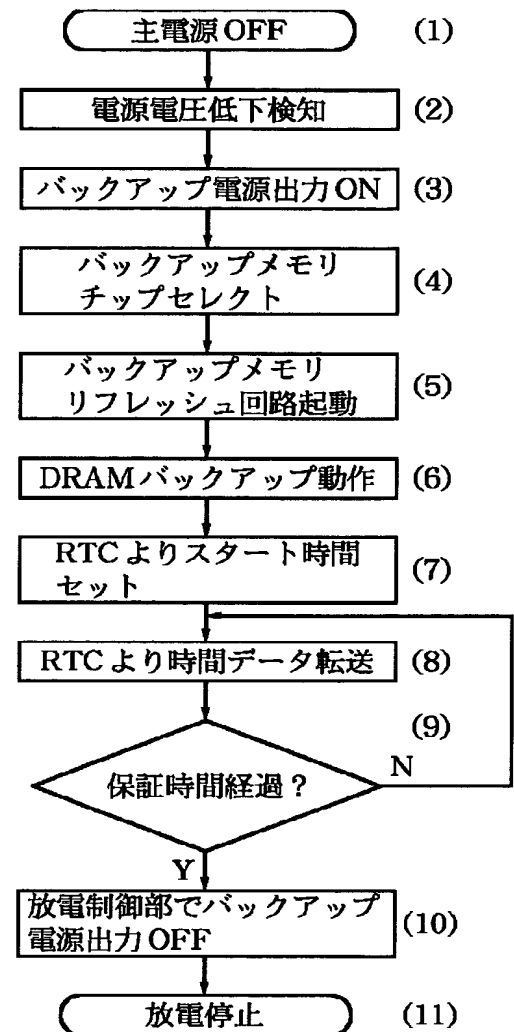
【図 8】

DRAMチップ数	過放電停止電圧テーブル (V)	
	Table.1	Table.2
1	2.40	2.40
2	2.20	2.35
3	2.00	2.25
4	1.80	2.10
5	1.60	1.90
6	1.40	1.65
7	1.20	1.35
8	1.00	1.00

【図 5】



【図 6】



【図 7】

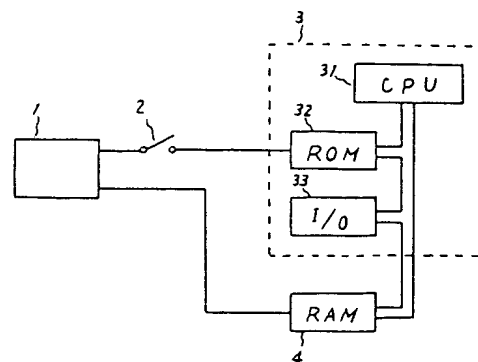


(54) METHOD FOR DETECTING BREAKAGE OF STORAGE CONTENTS OF VOLATILE MEMORY

(11) 62-286142 (A) (43) 12.12.1987 (19) JP
 (21) Appl. No. 61-129870 (22) 4.6.1986
 (71) OKI ELECTRIC IND CO LTD (72) HIDETOSHI YASU
 (51) Int. Cl. G06F12/16

PURPOSE: To detect the breakage of the storage contents of a volatile memory by checking plural data needed to be stored double out of the control arithmetic data used for control every time a power supply is applied.

CONSTITUTION: A main control circuit 3 contains a CPU 31, a ROM 32 and an I/O 33. A power supply 1 is applied to the circuit 3 when a key switch 2 is turned on and the voltage is always applied to the RAM 4 from the power supply 1. The input is received from a sensor via the I/O 33 and the read data is written to a read data store area of the RAM 4. The same value is written to a storing area for control arithmetic data of the RAM 4 as long as the sensor has no abnormality. The switch 2 is turned on for comparison between the read data received from the sensor in a power supply application mode and the data stored in the arithmetic data storing area of the RAM 4. When the coincidence is obtained between both data, it is decided that the power supply of the RAM 4 is never cut off from the preceding OFF mode of the switch 2.

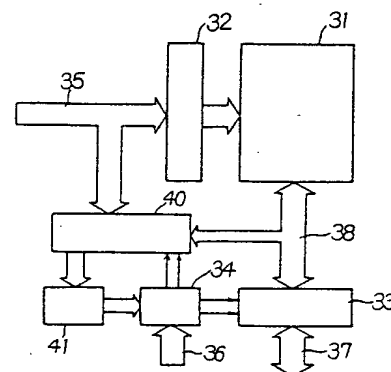


(54) SEMICONDUCTOR MEMORY DEVICE

(11) 62-286143 (A) (43) 12.12.1987 (19) JP
 (21) Appl. No. 61-129486 (22) 4.6.1986
 (71) OKI ELECTRIC IND CO LTD (72) TSUNAACKI SHIDEI
 (51) Int. Cl. G06F12/16, G11C11/34

PURPOSE: To completely prevent miswriting to a memory cell by providing an access control register and an access control circuit and inhibiting temporarily the access to the memory cell when a power supply is applied.

CONSTITUTION: The address received from an address line 35 of a semiconductor recorder is decoded by an address decoder 32 and an access is given to a memory cell block 31. While a control circuit 34 controls an I/O buffer 33 with the control signal received from a control line 36 and the buffer 33 performs the write and read of data to the block 31. At the same time, the line 35, an internal data line 38 and the output side of the circuit 34 are connected to the input side of an access control register 40. An address control circuit 41 is controlled with the output of the register 40 and controls the read/write operation of the circuit 34. Then the access to be given to the block 31 is temporarily inhibited in an application mode of power supply. Thus the miswriting is avoided to the block 31.

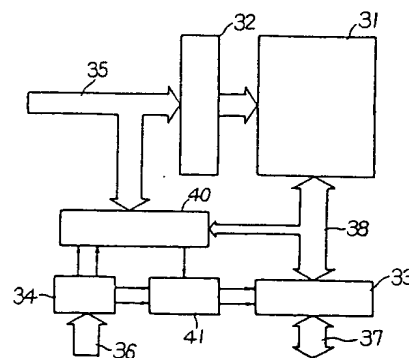


(54) SEMICONDUCTOR MEMORY DEVICE

(11) 62-286144 (A) (43) 12.12.1987 (19) JP
 (21) Appl. No. 61-129487 (22) 4.6.1986
 (71) OKI ELECTRIC IND CO LTD (72) TSUNAACKI SHIDEI
 (51) Int. Cl. G06F12/16, G11C11/34

PURPOSE: To completely avoid miswriting to a memory cell by providing an access control register and a delay circuit and extending temporarily the access time to the memory cell when a power supply is applied.

CONSTITUTION: An address decoder 32 of a semiconductor memory device decodes the address received from an address line 35 and an access is given to a memory cell block 31. An I/O buffer 33 connected to a data line 37 performs the input/output of data to the block 31. While a control circuit 34 connected to a control line 36 produces the output control signal to control an access control register 40 which performs input of an address and a delay control circuit 41. Then the output of the register 40 is applied to the circuit 34 to extend temporarily the access time to the block 31 in an application mode of power supply. Thus the miswriting is completely avoided to the block 31.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-286143

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和62年(1987)12月12日

G 06 F 12/16
G 11 C 11/34

3 4 0
3 3 5
3 4 1
3 7 1

M-7737-5B
B-8522-5B
A-8522-5B
G-8522-5B

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 半導体記憶装置

⑯ 特 願 昭61-129486

⑰ 出 願 昭61(1986)6月4日

⑱ 発 明 者 四 手 井 綱 章 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

⑲ 出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号

⑳ 代 理 人 弁理士 柿本 恭成

明 細 書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

複数のメモリセルを有するメモリセルブロックと、アドレス信号を解読して前記メモリセルを選択するアドレスデコーダと、データ信号の入力および出力を行なうバッファと、前記選択されたメモリセルに対するデータの書き込み、読出しのために制御信号に基づき前記バッファの入、出力を制御する制御回路とを備えた半導体記憶装置において、

前記アドレス信号、データ信号及び制御回路の出力に基づき、前記メモリセルに対するアクセスの禁止および許可データを記憶するアクセス制御レジスタと、

このアクセス制御レジスタの出力に基づき前記制御回路の書き込み、読出し制御動作を制御するア

クセス制御回路とを、

設けたことを特徴とする半導体記憶装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、マイクロコンピュータシステム等においてその記憶装置の内容をバッテリーにて保持する半導体記憶装置に関するものである。

(従来の技術)

従来、このような分野の技術としては、例えば第2図及び第3図のようなものがあった。以下、その構成を説明する。

第2図は従来のマイクロプロセッサにおけるバッテリーバックアップシステムの一構成例を示すブロック図である。

このバッテリーバックアップシステムは、中央処理装置(以下、CPU という)1、半導体記憶装置(以下、メモリという)2、入出力装置(以下、I/O という)3、及びリセット制御回路4を備えている。CPU 1の出力端子はアドレスバス5及び

制御バス6を介してメモリ2及びI/O 3に接続され、さらにそれらCPU 1、メモリ2及びI/O 3間がデータバス7で接続され相互にデータの授受が行なわれる。

また、メインの電源線8はCPU 1、I/O 3及びリセット制御回路4の各電源端子に直接接続され、さらに該電源線8はダイオード9を介してメモリ2の電源端子に接続されている。バックアップ用の電源10は、ダイオード11を介してメモリ2の電源端子に接続されている。リセット制御回路4の出力側は、信号線12を介してCPU 1のリセット入力端子に接続されている。

第3図は第2図におけるメモリ2の一構成例を示すブロック図である。

このメモリ2はバッテリーバックアップ用のため、スタティック構成のRAM (随時読み書き可能なメモリ) が用いられる。該メモリ2は、複数のメモリセルを有するメモリセルブロック21、アドレスデコーダ22、I/O バッファ23、及び制御回路24から構成されている。アドレスデコーダ22はア

ドレスバス5に接続されたアドレス線25上のアドレス信号を解読してメモリセルブロック21内の1メモリセルを選択する回路、I/O バッファ23はデータバス7に接続されたデータ線27に対するデータ信号の入、出力を行なう回路、制御回路24は制御バス6に接続された制御線26上の制御信号に基づきI/O バッファ23の入、出力を制御する回路である。アドレスデコーダ22の出力により1メモリセルが選択されると、制御回路24は制御線26の内容によりI/O バッファ23を制御し、選択されたメモリセルに対してデータの読出し、または書込みを行なわせる。

次に、第4図のタイミング図を参照しつつ電源印加時の動作を説明する。

電源線8に電源電圧が印加されると、その電源電圧はCPU 1、I/O 3及びリセット制御回路4に直接印加されると共に、ダイオード9を介してメモリ2にも印加される。リセット制御回路4は電源電圧の印加に応じて信号線12上にリセット信号を出力する。リセット信号は、電源線8上の電源

電圧が接地電位のLレベルからHレベルへと上昇しある一定時間経過後に、LレベルからHレベルとなる。第2図のシステムでは、信号線12上の電位がLレベルでCPU 1がリセットとなり、電源を印加して一定時間後にリセットが解除されるため、電源印加後にCPU 1に対してリセットが行なわれる。

また、CPU 1により命令実行が行なわれ、その実行結果がメモリ2に記憶された後、電源線8の電源が遮断されると、バックアップ用電源10からダイオード11を通してメモリ2へ電源電圧が供給されるため、該メモリ2の内容は電源線8の電源遮断にかかわらず保持される。

(発明が解決しようとする問題点)

しかしながら、上記構成の装置では、CPU 1に対する電源電圧の上昇過程においてCPU 1の動作が保証されていない電圧での動作が次のようにシステムに大きな影響を与えている。

第5図は電源印加時における第2図の拡大タイミング図を示すもので、電源印加前の期間T1では

当然CPU 1もリセット制御回路4も動作しないため、信号線12上のリセット信号及び制御バス6上の電位もLレベルの接地電位を示す。電源印加後の電源線8の電位が上昇する初期の期間T2において、信号線12上のリセット信号はLレベルの接地電位を示すが、制御バス6上の制御信号として、例えば書込み信号 \overline{WR} を考えると、その信号 \overline{WR} は電源線8の電位の上昇と共に上昇する。すなわち、期間T2ではCPU 1の内部は全く動作していない。

さらに電源電圧が上昇して期間T3になると、CPU 1の内部は総てではなく部分的に動作を始める。期間T3は、CPU 1の動作保証電圧の範囲外であり、一般にはCPU 1がどう動くかは規定されていないため、制御バス6上の制御信号のようにCPU 1の出力信号が動作する信号もある。さらに電源電圧が上昇し期間T4になると、動作保証範囲SFのため、正常なリセット状態となる。その後、期間T5において信号線12上のリセット信号によりリセットが解除され、CPU 1が通常の動作を始め

る。

ここで、問題となるのは前記期間T3であり、この期間T3においてCPU 1は規定できない勝手な動作をすることになり、最悪のケースは、バッテリーバックアップ中のメモリ2に対して書き込みを行なう場合である。この場合には、メモリ2にデータを記憶して電源線8を遮断した後、電源を印加することによりメモリ2の内容が変化する。しかし、期間T3においてCPU 1は決った動作を行わず、その動作が電源電圧、温度等の環境条件や、個々のCPUに異なるため、試作品の段階で問題が無くても、場合によっては不安定な場合を生じる可能性があり、トラブルの原因となる。

本発明は前記従来技術が持っていた問題点として、バックアップメモリに対する電源印加時のCPUの誤書き込みの点について解決したバッテリーバックアップ用のメモリを提供するものである。

(問題点を解決するための手段)

本発明は前記問題点を解決するために、複数のメモリセルを有するメモリセルブロックと、アド

レス信号を解読するアドレスデコーダと、データ信号の入、出力を行なうバッファと、制御信号に基づき前記バッファの入、出力を制御する制御回路とを備えたメモリにおいて、アクセス制御レジスタ及びアクセス制御回路を設けたものである。ここで、アクセス制御レジスタはアドレス信号、データ信号及び制御回路の出力に基づき、メモリセルに対するアクセスの禁止および許可データを記憶する回路、アクセス制御回路はアクセス制御レジスタの出力に基づき、制御回路の書き込み、読出し制御動作を制御する回路である。

(作用)

本発明によれば、以上のようにメモリを構成したので、アクセス制御レジスタ及びアクセス制御回路は、電源印加時に制御回路に対してメモリセルへのアクセスを一時的に禁止するように働くと共に、電源印加後においてアクセスの禁止状態を解除するように働く。これにより、電源印加時におけるメモリセルへの誤書き込みの防止が計れる。従って前記問題点を除去できるのである。

(実施例)

第1図は本発明の一実施例を示すメモリの構成ブロック図である。

このメモリは、従来と同様にメモリセルブロック31、アドレスデコーダ32、I/O バッファ33、及びI/O バッファ33の入、出力を制御する制御回路34を備えている。アドレスデコーダ32はアドレス線35上のアドレス信号を解読してメモリセルブロック31内のメモリセルを選択する回路、I/O バッファ33はデータバスに接続されたデータ線37とメモリセルブロック31に接続された内部データ線38との間のデータの授受を行う回路、制御回路34は制御線36上の制御信号に基づきI/O バッファ33の入、出力を制御する回路である。

本実施例ではさらに、アクセス制御レジスタ40及びアクセス制御回路41が設けられている。アクセス制御レジスタ40は、メモリセルに対するアクセスの禁止および許可データを記憶する回路であり、その入力側がアドレス線35、内部データ線38及び制御回路34の出力側に接続されている。アク

セス制御回路41は、制御回路34の書き込み、読出し制御動作を制御する回路であり、その入力側がアクセス制御レジスタ40の出力側に接続されると共に、その出力側が制御回路34の入力側に接続されている。

次に動作について説明する。

(1) メモリとしての通常動作モード

アドレスデコーダ32はアドレス線35上のアドレス信号を解読し、メモリセルブロック31内の1メモリセルを選択する。制御線36の内容により制御回路34がI/O バッファ33の入、出力を制御するため、このI/O バッファ33はデータ線37の内容を内部データ線38を通して選択されたメモリセルに書き込んだり、選択されたメモリセルの内容を内部データ線38を通して読出しそれをデータ線37へ送出したりする。

(2) バッテリーバックアップモード

電源を遮断するためにバッテリーバックアップモードに入る時には、前もってアドレス線35及び制御線36の内容によりアクセス制御レジスタ40を

選択し、データ線37よりメモリセルに対しアクセスを禁止するデータを該アクセス制御レジスタ40に格納する。一旦アクセス制御レジスタ40にアクセス禁止情報を格納すると、次にメモリセルの内容を書き換えようとしても、アクセス制御回路41により制御される制御回路34がI/Oバッファ33に対して書き込み信号を出力しないため、メモリセルの内容を書き換ええない。そのため、電源遮断前にアクセス制御レジスタ40に対しアクセス禁止データを格納すれば、次の電源印加時において誤動作によりメモリセルの内容が書き換えられることがない。

電源印加後は、アクセス制御レジスタ40に対し、1回または複数回の決められたデータ書き込みおよび読出しを行なうことでアクセス禁止状態を解除する。つまり、電源遮断前にアクセス禁止データを1回、アクセス制御レジスタ40に書き込み、電源印加後に再びメモリセルにアクセスするために、1回または複数回の書き込み、読出し動作を実行すれば、バッテリーバックアップモードにおける

CPUへの電源印加時の誤動作が防止できる。そのため、従来の第2図のようなバッテリーバックアップシステムでも、誤動作を起こすことがない。

本実施例の利点をまとめれば、次のようになる。

メモリセルブロック31に対するアクセスを制御するために、アクセス制御レジスタ40及びアクセス制御回路41を設け、メモリセルに対しアクセスの禁止およびその禁止状態の解除を制御可能にしたので、マイクロコンピュータシステムに用いるバッテリーバックアップ用のメモリとして誤動作を無くすることができる。CHOS(相補型MOSトランジスタ)で構成されるCPUを用いたマイクロコンピュータシステムは、低消費電力のために最近増加している。特にこのようなCHOS CPUにおいては、低い電圧から部分的に動作し始めるため、本実施例のメモリを適用すると、効果的である。また、プログラムによりアクセスの制御が可能のため、マルチCPUシステム等において共有メモリとして

用いると、ある期間、他のCPUからのアクセスを禁止するようなこともできる。

(発明の効果)

以上詳細に説明したように、本発明によれば、アクセス制御レジスタ及びアクセス制御回路を設けたので、電源印加時においてメモリセルに対するアクセスが一時的に禁止され、該メモリセルに対する誤書き込みが的確に防止できる。

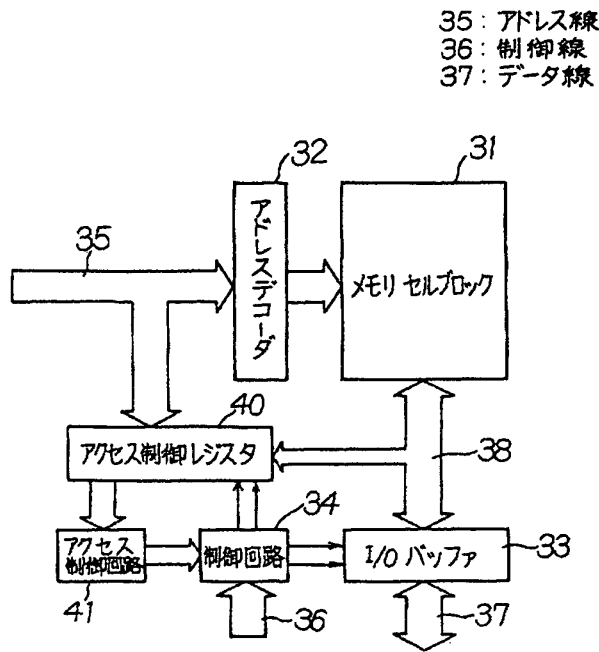
4. 図面の簡単な説明

第1図は本発明の一実施例を示す半導体記憶装置(メモリ)の構成ブロック図、第2図は従来のマイクロプロセッサにおけるバッテリーバックアップシステムの構成例を示すブロック図、第3図は第2図における従来の半導体記憶装置(メモリ)の構成ブロック図、第4図は第2図における電源印加時のタイミング図、第5図は第2図における電源印加時の拡大タイミング図である。

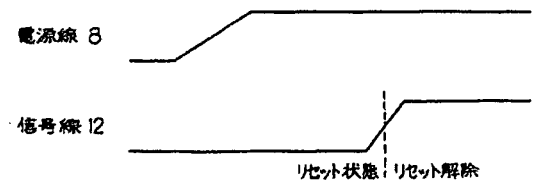
31……メモリセルブロック、32……アドレスデコーダ、33……I/Oバッファ、34……制御回路、

35……アドレス線、36……制御線、37……データ線、40……アクセス制御レジスタ、41……アクセス制御回路。

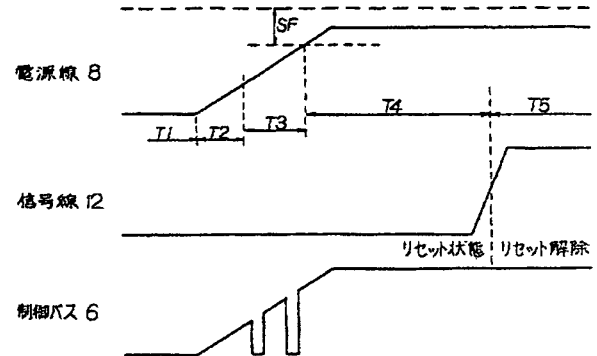
出願人代理人 柿 本 恭 成



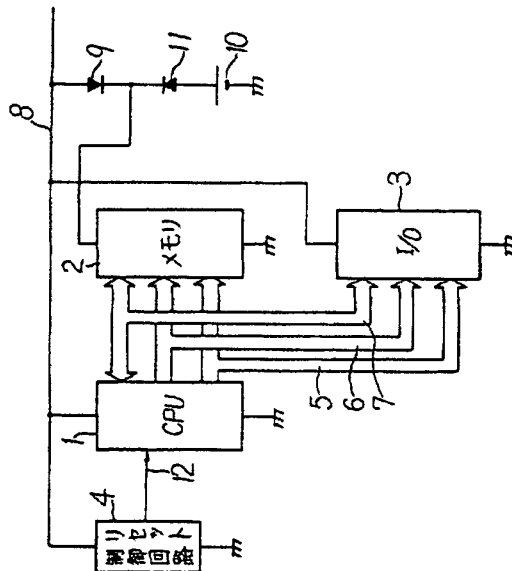
本発明の半導体記憶装置
第1図



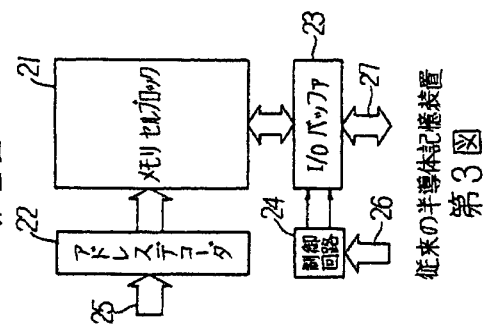
第2図の電源印加時のタイミング図
第4図



第2図の電源印加時の拡大タイミング図
第5図



バッテリーバックアップシステム構成例
第2図



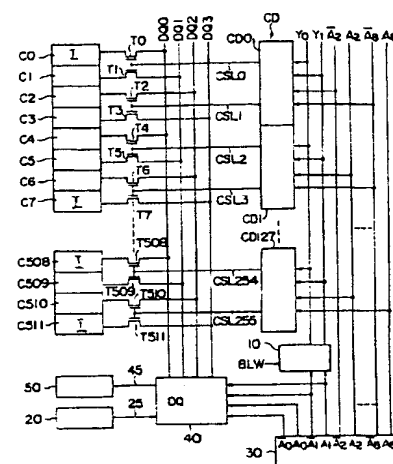
従来の半導体記憶装置
第3図

(54) SEMICONDUCTOR MEMORY

(11) 5-28756 (A) (43) 5.2.1993 (19) JP
 (21) Appl. No. 3-184810 (22) 24.7.1991
 (71) TOSHIBA CORP (72) KOICHI MAGOME
 (51) Int. Cl.⁵ G11C11/401, G11C11/408

PURPOSE: To reduce a current consumption at the time of performing an access to one column by making the number of data lines connected with a column line at the time of a mode in which the access to the plural line column lines is simultaneously attained by controlling a connecting means, different from that at the time of the mode in which the access to one column line is attained.

CONSTITUTION: At the time of a block write mode, a block write signal BLW is turned to 1, and control signals Y_0 and Y_1 for connection outputted from a partial column decoder 10 are turned to 1, so that the decoder 10 and the connecting means can be formed. For example, transfer, gate transistors T0-T4 are turned ON through a column decoder CDO or the like by plural column selecting lines CS0 and CSL1, so that four column lines can be connected with four data lines DQ0-DQ3. In the same way, in one bit mode in which one column line is selected, only one of the selecting lines CSL0 and CSL1 is selected, so that two data lines can be connected with one column line, and the current consumption at the time of one bit read and write can be decreased.



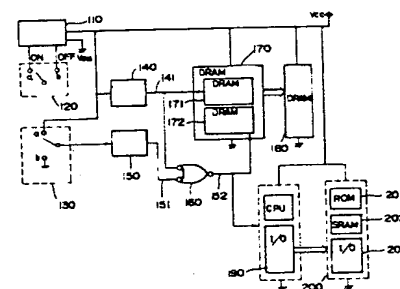
20: writing buffer, 30: column address buffer, 40: DQ buffer.
 50: output buffer, 1: column

(54) MEMORY CONTROL CIRCUIT

(11) 5-28757 (A) (43) 5.2.1993 (19) JP
 (21) Appl. No. 3-178025 (22) 18.7.1991
 (71) CANON INC (72) YASUHISA MOBARA
 (51) Int. Cl.⁵ G11C11/401, G06F1/24

PURPOSE: To provide the memory control circuit in which refresh of the memory does not stop even though a system reset switch is pushed down and the data of the memory is held even though a system reset is generated.

CONSTITUTION: A refresh circuit 171 of the memory is initialized with a power on/reset signal 141 being outputted when a power source is turned on and it is not affected with a reset signal 151 being outputted with a reset switch 130. Then even though the system reset switch 130 is pushed down, the refresh of the memory 180 does not stop and the content stored in the memory 180 is held.



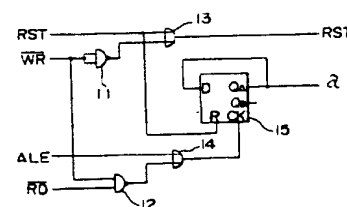
110: power source, 120: power on switch, 140: power on circuit, 150: system reset circuit, 171: DRAM refresh circuit, 172: DRAM access circuit, 190: I/O control, 200: I/O device

(54) CLOCK PREPARING CIRCUIT

(11) 5-28758 (A) (43) 5.2.1993 (19) JP
 (21) Appl. No. 3-210114 (22) 25.7.1991
 (71) OKI DATA SYST K.K.(1) (72) YOSHINOBU GOTO(3)
 (51) Int. Cl.⁵ G11C11/407, G06F12/00

PURPOSE: To simplify the circuit constitution of the entire refresh circuit of a D-RAM by preparing a refresh clock signal by a simple circuit constitution.

CONSTITUTION: In the refresh circuit of a D-RAM 3, the refresh clock signal of a refresh address counter circuit 5 can be prepared by combining an ALE signal outputted from a CPU 2 at every prescribed clock cycle when an access to the D-RAM 3 is not performed, with a writing signal or reading signal outputted from the CPU 2 to the D-RAM 3. At the same time, the reset signal of the refresh address counter 5 can be prepared based on a reset signal outputted from a reset circuit 6, and the writing signal.



a: refresh clock signal

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-28757

(43)公開日 平成5年(1993)2月5日

(51) Int.Cl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

G 1 1 C 11/401

G 0 6 F 1/24

8320-5L

7927-5B

G 1 1 C 11/ 34

G O 6 F 1/ 00

3 7 1 E

3 5 0 B

審査請求 未請求 請求項の数 2 (全 6 頁)

(21)出願番号

特願平3-178025

(22)出願日

平成3年(1991)7月18日

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 茂原 泰久

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

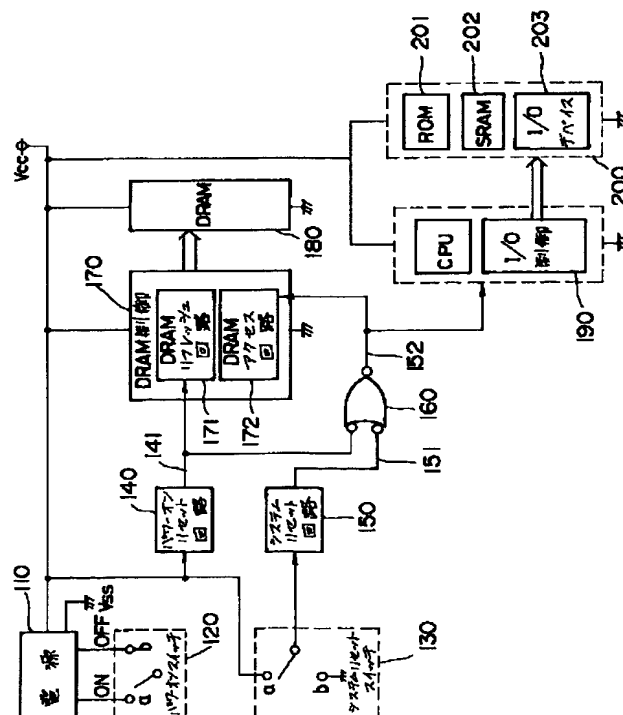
(74)代理人 弁理士 大塚 康德 (外1名)

(54)【発明の名称】 メモリ制御回路

(57) 【要約】

【目的】 システムリセットスイッチが押下されてもメモリのリフレッシュを停止しないようにして、システムリセットが発生してもメモリのデータを保持できるようにしたメモリ制御回路を提供することを目的とする。

【構成】 メモリのリフレッシュ回路171は、電源投入時に出力されるパワーオン・リセット信号141により初期化されるが、リセットスイッチ130により出力されるリセット信号151により影響を受けない。このため、システムリセットスイッチ130が押下されてもメモリ180のリフレッシュが停止しなくなり、メモリ180に記憶されている内容が保持されることになる。



【特許請求の範囲】

【請求項1】 電源投入時にパワーオン・リセット信号を出力するパワーオンリセット回路と、リセットスイッチが押下された時、リセット信号を発生するリセット回路と、前記パワーオン・リセット信号により初期化され、前記リセット信号により影響を受けないメモリリフレッシュ回路と、を有することを特徴とするメモリ制御回路。

【請求項2】 前記リセット信号によりメモリへのアクセスを禁止するアクセス回路を更に備えることを特徴とする請求項1に記載のメモリ制御回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、例えばDRAM（ダイナミック・ランダムアクセスメモリ）のようにリフレッシュを必要とするメモリを制御するメモリ制御装置に関するものである。

【0002】

【従来の技術】従来のシステムのリセット回路を図3に示す。301は装置全体に電力を供給している電源、302はパワースイッチで、装置の電源の投入及び装置の電源をオフする場合に使用される。303はシステム・リセットスイッチで、オペレータにより任意のタイミングで操作される。304はパワーオンリセット回路で、電源が投入されたことを検知し、パワーオンリセット信号を出力している。また、305はシステムリセット回路で、リセットスイッチ303が押下されると所定幅のリセット信号を出力する。306はORゲート、307はCPU回路で、DRAM308のアクセスを制御するアクセス回路、及びDRAM308のリフレッシュを制御するリフレッシュ回路等を備えている。309はROM、RAM及びI/Oデバイスなどを含むI/O回路である。

【0003】このようにDRAM308を使用するシステムにおいては、システムの電源が投入された直後のパワーオンリセット状態と、リセットスイッチの押下によるシステムリセット状態とがある。前者はシステムの電源投入直後に1回のみ発生し、後者はオペレータがリセットスイッチを押下することにより、任意の時点で起動することができる。

【0004】

【発明が解決しようとしている課題】上記従来例のシステムにおいて、オペレータが何らかの理由でリセットスイッチ303を押下してシステムリセットを起動すると、このシステムリセットによってDRAM308のリフレッシュが停止してしまい、今までDRAM308に蓄積されていた情報が全て破壊され、システム・リセットが起動される以前のデータが復帰できない虞がある。

【0005】具体的な例としては、例えばワードプロセ

ッサで文書作成中、システムダウンが発生して、システムリセットスイッチ303を押下してシステムをリセットしない限り、再動作ができない場合が起こりえる。このような場合、従来はそれまで作成してDRAM308に記憶されている文書データが全て破壊されてしまっていた。また、システムの動作状況をDRAM308に記録するように構成されているシステム等の場合には、システムリセットを行うとDRAM308の内容が消えてしまうため、システムリセットによる復帰をした後、システムダウンが発生した時の状態をDRAM308より読み出そうとしても、既に消去されているため検証できなくなるような事態が発生する。

【0006】本発明は上記従来例に鑑みてなされたもので、システムリセットスイッチが押下されてもメモリのリフレッシュを停止しないようにして、システムリセットが発生してもメモリのデータを保持できるようにしたメモリ制御回路を提供することを目的とする。

【0007】

【課題を解決するための手段】上記目的を達成するために本発明のメモリ制御回路は以下のような構成を備える。即ち、電源投入時にパワーオン・リセット信号を出力するパワーオンリセット回路と、リセットスイッチが押下された時、リセット信号を発生するリセット回路と、前記パワーオン・リセット信号により初期化され、前記リセット信号により影響を受けないメモリリフレッシュ回路とを有する。

【0008】

【作用】以上の構成において、メモリのリフレッシュ回路は、電源投入時に出力されるパワーオン・リセット信号により初期化されるが、リセットスイッチにより出力されるリセット信号により影響を受けない。このため、システムリセットスイッチが押下されてもメモリのリフレッシュは続行され、メモリの内容が保持されることになる。

【0009】

【実施例】以下、添付図面を参照して本発明の好適な実施例を詳細に説明する。

【0010】図1は本発明の1実施例を示す。図2は本発明の動作フローを示す。

【0011】図1において、110はシステム全体に電力を供給する電源、120はシステムを起動するための電源を制御するパワーオンスイッチである。130は電源がオンされてシステムが起動中に押下される、一時的にシステムをリセットするためのシステムリセットスイッチである。140はパワーオンリセット回路で、パワーオンスイッチ120がオンされて電源110より電力が供給された際、システムをリセットするためのパワーオンリセット信号を出力している。このパワーオンリセット信号は、システムの各部が初期処理を終了するのに十分な間出力されて、システム全体をパワーオン・リ

セットする。150はシステムリセットスイッチ130が押下された時、システムをリセットさせるためのリセット信号を発生するシステムリセット回路である。

【0012】160はORゲート、170はDRAM180のリフレッシュ及びアクセス制御を行うDRAM制御部である。180はDRAM、190はシステムのCPU及びi/o制御部、200はシステムのROM、SRAM（スタティックRAM）、I/Oデバイスなどを含む入出力部を示している。

【0013】以下、図2のフローチャートを参照して、図1の回路の動作を説明する。

【0014】パワーオンスイッチ120がオンされると、電源110より電力がシステムに供給され、システムの各構成デバイスに電圧（電流）が供給される。各構成デバイスは、電力が供給された後、電氣的に安定な状態になるために多少の時間が必要である。このため、電源投入（パワーオン）後、所定時間リセット状態が保持される必要がある。従って、パワーオンリセット回路140より出力されるパワーリセット信号141は、少なくともその時間の間はロウレベルが維持されるようになっている。

【0015】このパワーオン・リセット信号がハイレベルになってリセット状態が解除されると、CPUは各構成デバイスに対して初期設定を行う（ステップS1）。このとき、通常DRAM180に対してメモリのライト・リードベリファイ・チェックを行った後、各種初期データが書き込まれる。こうして、各構成デバイスに対してレジスタ設定等の初期化が終了するとシステムは通常動作に入り、システムリセットあるいはパワーオフになるまで動作を続ける（ステップS2）。

【0016】ステップS3で、システムリセットスイッチ130がオンされるとシステムリセット回路150より、パワーオンリセットのときと同様に、システムが電氣的に安定状態になるまでリセットするためのリセット信号151が出力される。このリセット信号151により、システムの各構成デバイスがリセットされ、ハードウェア的に強制的に初期化される。

【0017】このシステムリセット時、ORゲート160を介したパワーオンリセット信号141とリセット信号151との論理和であるシステムリセット信号152により、CPU、i/o制御部190、ROM201、SRAM202、i/oデバイス203等を含む入出力部200は、パワーオン・リセット時と同様に、各デバイスの動作を全て停止し初期化される（ステップS6）。しかし、DRAM制御部170へは、パワーオンリセット信号141と、システムリセット信号152が別々に入力されている。このため、DRAM制御部170のDRAMアクセス制御部172はシステムリセット信号152により他の構成デバイスと同様に動作が停止*

*し、DRAM180へのリード／ライト動作は停止される（ステップS5）。これにより、DRAM180への情報の書き込み或いは読出しは行なわれなくなる。

【0018】一方、DRAM制御部170のDRAMリフレッシュ制御部171には、パワーオンリセット信号141のみが入力されているため、システムリセット信号152によりリフレッシュ動作がリセットされることはない。このため、DRAM180のリフレッシュ動作を継続して実行され（ステップS4）、DRAM180の情報が破壊される虞がない。

【0019】尚、本発明は複数の機器から構成されるシステムに適用しても、1つの機器からなる装置に適用しても良い。また、本発明はシステム或は装置に、本発明を実施するプログラムを供給することによって達成される場合にも適用できることは言うまでもない。

【0020】以上説明したように本実施例によれば、パワーオンリセット以外のシステムリセット時に、DRAMのリフレッシュ制御を停止しない構成にすることで、何らかの理由でシステムリセットが起動された場合でも、それまでにDRAMに蓄積された情報が破壊されないという効果がある。

【0021】

【発明の効果】以上説明したように本発明によれば、システムリセットスイッチが押下されてもメモリのリフレッシュを停止しないようにして、システムリセットが発生してもメモリに記憶されているデータを保持できる効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例のメモリ制御回路の概略構成を示すブロック図である。

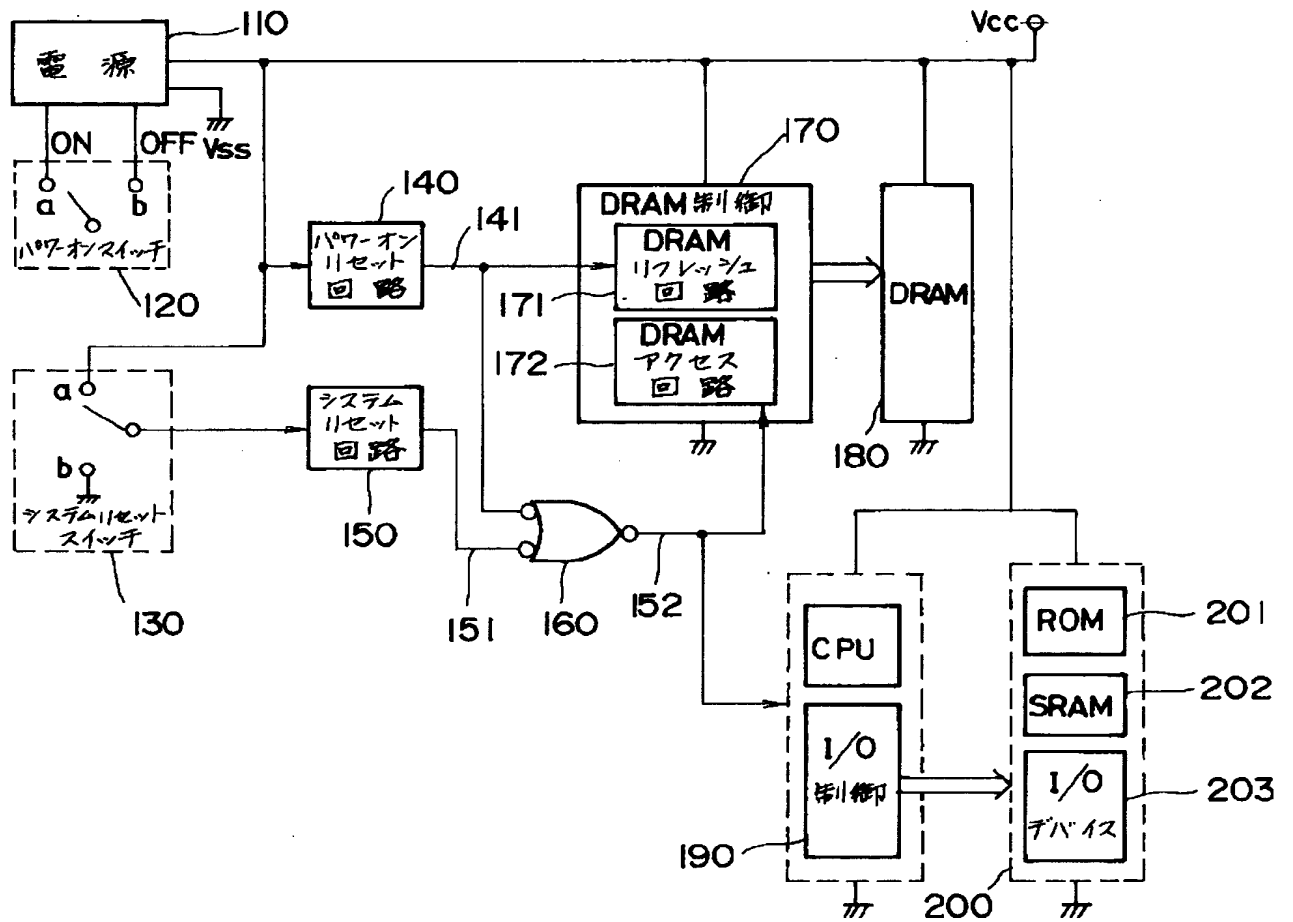
【図2】本実施例の回路の動作を示すフローチャートである。

【図3】従来のメモリ制御回路の構成を示すブロック図である。

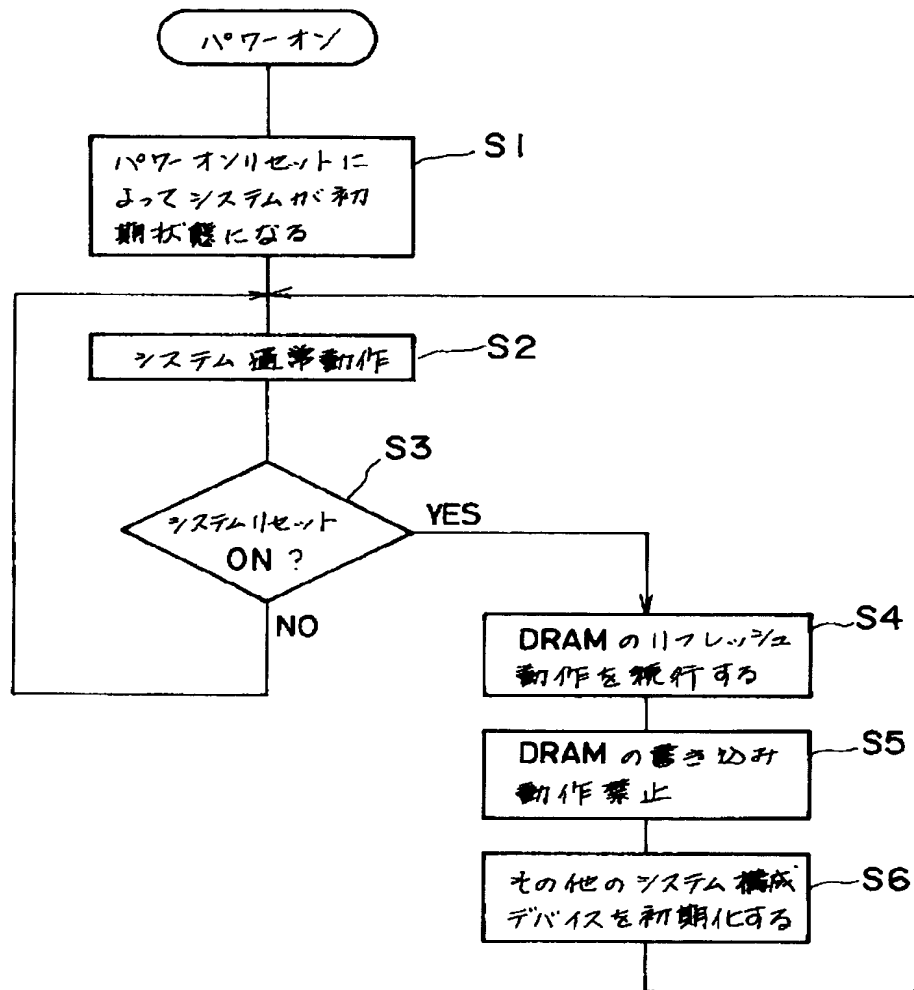
【符号の説明】

- 110 電源
- 120 パワーオンスイッチ
- 130 システムリセットスイッチ
- 140 パワーオンリセット回路
- 141 パワーオンリセット信号
- 142 リセット信号
- 152 システムリセット信号
- 150 システムリセット回路
- 160 ORゲート
- 170 DRAM制御部
- 171 DRAMリフレッシュ回路
- 172 DRAMアクセス回路
- 180 DRAM

【図1】



【図2】



【図3】

